

Docket No.: 50090-458

2-1402
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Masatoshi ANMA

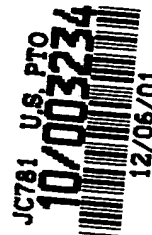
Serial No.:

Group Art Unit:

Filed: December 06, 2001

Examiner:

For: SEMICONDUCTOR DEVICE HAVING ANTI-FUSE STRUCTURE



**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application Number 2001-183766, Filed June 18, 2001

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Becker
Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:kjw
Date: December 6, 2001
Facsimile: (202) 756-8087

G4.15.15

50090-458

Masafumi ANMA

December 16, 2001

McDermott, Will & Emery

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 6月18日

出 願 番 号

Application Number:

特願2001-183766

出 願 人

Applicant(s):

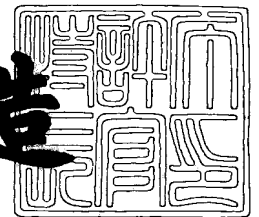
三菱電機株式会社



2001年 7月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3062396

【書類名】 特許願

【整理番号】 529787JP01

【提出日】 平成13年 6月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00
H01L 21/768

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

【氏名】 安間 正俊

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100108372

【弁理士】

【氏名又は名称】 谷田 拓男

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 負荷回路に高電圧が印加されるのを防ぐための短絡回路又はスペア回路を有する半導体装置であって、

基板と、

前記基板上に形成され、前記短絡回路又はスペア回路に接続された第 1 配線と

、
前記第 1 配線を覆う第 1 絶縁膜と、

前記第 1 絶縁膜の表面から前記第 1 配線まで達し、前記第 1 絶縁膜内に形成された開口部と、

前記開口部内に形成され、前記第 1 配線と電氣的に接続されたプラグと、

前記プラグ上に所定の空隙を介して形成され、前記負荷回路に接続された第 2 配線と、

前記第 2 配線を覆う第 2 絶縁膜と、

を備えたことを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、

前記第 2 配線は、バリアメタルと、当該バリアメタル上に形成されたアルミニウム配線とを有し、

前記空隙は、前記プラグの上層部分と、当該上層部分の上に形成された前記バリアメタルと、が除去されて形成されたものであることを特徴とする半導体装置。

【請求項 3】 請求項 2 に記載の半導体装置において、

前記空隙は、前記プラグ上に形成された前記アルミニウム配線の下層部分が更に除去されて形成されたものであることを特徴とする半導体装置。

【請求項 4】 請求項 1 に記載の半導体装置において、

前記第 2 配線は、バリアメタルと、当該バリアメタル上に形成されたアルミニウム配線とを有し、

前記空隙は、前記プラグ上に形成された前記バリアメタルが除去されて形成さ

れたものであることを特徴とする半導体装置。

【請求項 5】 請求項 1 に記載の半導体装置において、

前記第 2 配線は、バリアメタルと、当該バリアメタル上に形成されたアルミニウム配線とを有し、

前記空隙は、前記プラグの上層部分が除去されて形成されたものであることを特徴とする半導体装置。

【請求項 6】 負荷回路に高電圧が印加されるのを防ぐための短絡回路又はスペア回路を有する半導体装置であって、

基板と、

前記基板上に形成され、前記短絡回路又はスペア回路に接続された第 1 配線と

前記第 1 配線を覆う第 1 絶縁膜と、

前記第 1 絶縁膜の表面から前記第 1 配線まで達し、前記第 1 絶縁膜内に形成された第 1 開口部と、

前記第 1 開口部内に形成され、前記第 1 配線と電氣的に接続されたプラグと、

前記プラグ近傍の前記第 1 絶縁膜上に形成され、前記負荷回路に接続された第 2 配線と、

前記第 2 配線の側方かつ前記プラグ上に所定の空隙を保持して、前記第 2 配線を覆う第 2 絶縁膜と、

を備えたことを特徴とする半導体装置。

【請求項 7】 請求項 6 に記載の半導体装置において、

前記第 2 配線は、前記プラグの近傍で配線幅が細く形成されたことを特徴とする半導体装置。

【請求項 8】 請求項 1 から 7 の何れかに記載の半導体装置において、

前記第 2 配線は、所定の電圧が印加されると、エレクトロマイグレーションを発生して前記プラグと接続することを特徴とする半導体装置。

【請求項 9】 負荷回路に高電圧が印加されるのを防ぐための短絡回路又はスペア回路を有する半導体装置であって、

基板と、

前記基板上に形成され、開口部を有する第 1 絶縁膜と、
前記開口部内に形成され、導電性を有するパッドと、
前記第 1 絶縁膜上に、底面の一部が前記パッド上面と接触するように形成され、
前記短絡回路又は前記スペア回路に接続された第 1 配線と、
前記第 1 絶縁膜上で前記第 1 配線との間に前記パッドを介した位置に、底面が
前記パッド上面と接触しないように形成され、前記負荷回路に接続された第 2 配
線と、
前記パッド上に所定の空隙を保持して、前記第 1 配線および前記第 2 配線を覆
う第 2 絶縁膜と、
を備えたことを特徴とする半導体装置。

【請求項 1 0】 請求項 9 に記載の半導体装置において、
前記第 2 配線は、前記パッドの近傍で配線幅が細く形成されたことを特徴とす
る半導体装置。

【請求項 1 1】 請求項 9 又は 1 0 に記載の半導体装置において、
前記第 2 配線は、所定の電圧が印加されると、エレクトロマイグレーションを
発生して前記パッドと接続することを特徴とする半導体装置。

【請求項 1 2】 負荷回路に高電圧が印加されるのを防ぐための短絡回路又
はスペア回路を有する半導体装置の製造方法であって、

基板上に、前記短絡回路又はスペア回路に接続された第 1 配線を形成する工程
と、

前記第 1 配線を覆うように前記基板の全面に第 1 絶縁膜を形成する工程と、
前記第 1 絶縁膜の表面から前記第 1 配線まで達する第 1 開口部を前記第 1 絶縁
膜内に形成する工程と、

前記第 1 開口部内にプラグを形成する工程と、

前記プラグ上に、前記負荷回路に接続された第 2 配線を形成する工程と、

前記第 2 配線と前記プラグとの間に空隙を形成する工程と、

前記空隙を形成した後、前記基板の全面を覆う第 2 絶縁膜を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 1 3】 請求項 1 2 に記載の製造方法において、

前記第 2 配線は、バリアメタルと、当該バリアメタル上に形成されたアルミニウム配線とを有し、

前記空隙は、前記プラグ上に形成された前記バリアメタルと、前記プラグの上層部分とを除去して形成することを特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 1 3 に記載の製造方法において、

前記空隙は、前記プラグ上に形成された前記アルミニウム配線の下層部分を更に除去して形成することを特徴とする半導体装置の製造方法。

【請求項 1 5】 請求項 1 2 に記載の製造方法において、

前記第 2 配線は、バリアメタルと、当該バリアメタル上に形成されたアルミニウム配線とを有し、

前記空隙は、前記プラグ上に形成された前記バリアメタルを除去して形成することを特徴とする半導体装置の製造方法。

【請求項 1 6】 請求項 1 2 に記載の製造方法において、

前記第 2 配線は、バリアメタルと、当該バリアメタル上に形成されたアルミニウム配線とを有し、

前記プラグの上層部分を除去して、前記空隙を形成することを特徴とする半導体装置の製造方法。

【請求項 1 7】 請求項 1 2 から 1 6 の何れかに記載の製造方法において、

前記空隙をウェットエッチングにより形成することを特徴とする半導体装置の製造方法。

【請求項 1 8】 負荷回路に高電圧が印加されるのを防ぐための短絡回路又はスペア回路を有する半導体装置の製造方法であって、

基板上に、前記短絡回路又はスペア回路に接続された第 1 配線を形成する工程と、

前記第 1 配線を覆うように前記基板の全面に第 1 絶縁膜を形成する工程と、

前記第 1 絶縁膜内に第 1 開口部を形成する工程と、

前記第 1 開口部内にプラグを形成する工程と、

底面が前記プラグの上面と重ならないように、第 2 配線を前記第 1 絶縁膜上に形成する工程と、

前記第 2 配線を覆うように前記基板の全面に、第 2 絶縁膜を形成する工程と、
前記第 2 絶縁膜の表面から前記プラグの上面にまで達し、前記第 2 配線を露出させる第 2 開口部を前記第 2 絶縁膜内に形成する工程と、
前記第 2 開口部の底部に空隙を残すように、前記基板の全面に第 3 絶縁膜を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 1 9】 負荷回路に高電圧が印加されるのを防ぐための短絡回路又はスペア回路を有する半導体装置の製造方法であって、

基板上に第 1 絶縁膜を形成する工程と、
前記第 1 絶縁膜内に第 1 開口部を形成する工程と、
前記第 1 開口部内にパッドを形成する工程と、
底面の一部が前記パッドの上面と重なるように、前記第 1 絶縁膜上に前記短絡回路又はスペア回路に接続された第 1 配線を形成する工程と、
底面が前記パッドの上面と重ならないように、前記第 1 絶縁膜上に前記負荷回路に接続された第 2 配線を形成する工程と、
前記第 1 配線および前記第 2 配線を覆うように前記基板の全面に第 2 絶縁膜を形成する工程と、

前記第 2 絶縁膜の表面から前記パッドの上面にまで達し、前記第 2 配線の一部を露出させる第 2 開口部を前記第 2 絶縁膜内に形成する工程と、
前記第 2 開口部の底部に空隙を残すように、前記基板の全面に第 3 絶縁膜を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 2 0】 負荷回路に高電圧が印加されるのを防ぐための短絡回路又はスペア回路を有する半導体装置の製造方法であって、

基板上に、前記短絡回路又はスペア回路に接続された第 1 配線を形成する工程と、
前記第 1 配線を覆うように前記基板の全面に第 1 絶縁膜を形成する工程と、
前記第 1 絶縁膜内に第 1 開口部を形成する工程と、
前記第 1 開口部内にプラグを形成する工程と、

底面が前記プラグの上面と重ならないように、第 2 配線を前記第 1 絶縁膜上に形成する工程と、

前記第 2 配線を覆うように前記基板の全面に、第 2 絶縁膜を形成する工程と、

前記第 2 絶縁膜上に第 3 絶縁膜を形成する工程と、

前記プラグの直上に形成されていない前記第 3 絶縁膜内に第 2 開口部を形成する工程と、

前記第 2 開口部の底部に露出する前記第 2 絶縁膜を除去して、前記プラグ上かつ前記第 2 配線の側方に空隙を形成する工程と、

前記第 2 開口部を塞ぐように、前記基板の全面に第 4 絶縁膜を形成する工程と

を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に係り、特にアンチヒューズ構造に関するものである。

【0002】

【従来の技術】

半導体装置の製造工程において、半導体装置の良否を判断するための電氣的試験が行われる。そして、電氣的試験により、半導体装置の異常が発見された際には、半導体装置に設けられたヒューズ回路やアンチヒューズ回路により回路変更が行われる。

【0003】

以下、アンチヒューズ回路を備えた従来の半導体装置について説明する。

図 4 6 は、従来の半導体装置を説明するための断面図である。

図 4 6 において、参照符号 5 1 は下層配線、5 2 は層間絶縁膜、5 3 はアンチヒューズ膜、5 4 は上層配線を示している。

従来の半導体装置（アンチヒューズ）では、上層配線 5 4（又は下層配線 5 1）に電氣的ストレスを印加することによりアンチヒューズ膜 5 3 を絶縁破壊させ

て、下層配線 5 1 と上層配線 5 4 とを電氣的に導通させていた。これにより、アンチヒューズが接続されていた。

【 0 0 0 4 】

また、別のアンチヒューズの接続方法として、アンチヒューズ膜 5 3 上に形成された上層配線 5 4 にレーザー光を照射する方法があった。すなわち、上層配線 5 4 の所定領域にレーザーブローすることによって、アンチヒューズ膜 5 3 を絶縁破壊して、アンチヒューズ回路を接続していた。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、電気ストレスによりアンチヒューズ回路を接続する場合、アンチヒューズ膜 5 3 上に上層配線 5 4 を成膜する際に生じたプラズマダメージ（イオンダメージ）に応じて、プログラミング電圧のばらつきが発生してしまう問題があった。

さらに、アンチヒューズ膜 5 3 の絶縁破壊によりアンチヒューズ回路を接続するため、短絡部の面積、すなわち上層配線 5 4 と下層配線 5 1 とが接続される面積を、十分に大きくとることができないという問題があった。このため、アンチヒューズ回路の信頼性が低かった。

【 0 0 0 6 】

また、レーザーブローによりアンチヒューズ回路を接続する場合、レーザー光のエネルギーにより、下層配線 5 1 の底部に配置された他の配線層や半導体素子にダメージを与えてしまう問題があった。このため、半導体装置の信頼性が低いという問題があった。

さらに、レーザー光が照射される部分は、ある程度の面積を必要とするため、半導体素子を高集積化することができないという問題があった。

【 0 0 0 7 】

本発明は、上記従来の課題を解決するためになされたもので、信頼性の高いアンチヒューズ回路を有する半導体装置を提供することを目的とする。

【 0 0 0 8 】

【課題を解決するための手段】

請求項 1 の発明に係る半導体装置は、負荷回路に高電圧が印加されるのを防ぐための短絡回路又はスペア回路を有する半導体装置であって、

基板と、

前記基板上に形成され、前記短絡回路又はスペア回路に接続された第 1 配線と

、

前記第 1 配線を覆う第 1 絶縁膜と、

前記第 1 絶縁膜の表面から前記第 1 配線まで達し、前記第 1 絶縁膜内に形成された開口部と、

前記開口部内に形成され、前記第 1 配線と電氣的に接続されたプラグと、

前記プラグ上に所定の空隙を介して形成され、前記負荷回路に接続された第 2 配線と、

前記第 2 配線を覆う第 2 絶縁膜と、

を備えたことを特徴とするものである。

【 0 0 0 9 】

請求項 2 の発明に係る半導体装置は、請求項 1 に記載の半導体装置において、前記第 2 配線は、バリアメタルと、当該バリアメタル上に形成されたアルミニウム配線とを有し、

前記空隙は、前記プラグの上層部分と、当該上層部分の上に形成された前記バリアメタルと、が除去されて形成されたものであることを特徴とするものである。

【 0 0 1 0 】

請求項 3 の発明に係る半導体装置は、請求項 2 に記載の半導体装置において、前記空隙は、前記プラグ上に形成された前記アルミニウム配線の下層部分が更に除去されて形成されたものであることを特徴とするものである。

【 0 0 1 1 】

請求項 4 の発明に係る半導体装置は、請求項 1 に記載の半導体装置において、前記第 2 配線は、バリアメタルと、当該バリアメタル上に形成されたアルミニウム配線とを有し、

前記空隙は、前記プラグ上に形成された前記バリアメタルが除去されて形成さ

れたものであることを特徴とするものである。

【 0 0 1 2 】

請求項 5 の発明に係る半導体装置は、請求項 1 に記載の半導体装置において、
前記第 2 配線は、バリアメタルと、当該バリアメタル上に形成されたアルミニウム配線とを有し、

前記空隙は、前記プラグの上層部分が除去されて形成されたものであることを特徴とするものである。

【 0 0 1 3 】

請求項 6 の発明に係る半導体装置は、負荷回路に高電圧が印加されるのを防ぐための短絡回路又はスペア回路を有する半導体装置であって、

基板と、

前記基板上に形成され、前記短絡回路又はスペア回路に接続された第 1 配線と

前記第 1 配線を覆う第 1 絶縁膜と、

前記第 1 絶縁膜の表面から前記第 1 配線まで達し、前記第 1 絶縁膜内に形成された第 1 開口部と、

前記第 1 開口部内に形成され、前記第 1 配線と電氣的に接続されたプラグと、

前記プラグ近傍の前記第 1 絶縁膜上に形成され、前記負荷回路に接続された第 2 配線と、

前記第 2 配線の側方かつ前記プラグ上に所定の空隙を保持して、前記第 2 配線を覆う第 2 絶縁膜と、

を備えたことを特徴とするものである。

【 0 0 1 4 】

請求項 7 の発明に係る半導体装置は、請求項 6 に記載の半導体装置において、
前記第 2 配線は、前記プラグの近傍で配線幅が細く形成されたことを特徴とするものである。

【 0 0 1 5 】

請求項 8 の発明に係る半導体装置は、請求項 1 から 7 の何れかに記載の半導体装置において、

前記第 2 配線は、所定の電圧が印加されると、エレクトロマイグレーションを発生して前記プラグと接続することを特徴とするものである。

【 0 0 1 6 】

請求項 9 の発明に係る半導体装置は、負荷回路に高電圧が印加されるのを防ぐための短絡回路又はスベア回路を有する半導体装置であって、

基板と、

前記基板上に形成され、開口部を有する第 1 絶縁膜と、

前記開口部内に形成され、導電性を有するパッドと、

前記第 1 絶縁膜上に、底面の一部が前記パッド上面と接触するように形成され、前記短絡回路又は前記スベア回路に接続された第 1 配線と、

前記第 1 絶縁膜上で前記第 1 配線との間に前記パッドを介した位置に、底面が前記パッド上面と接触しないように形成され、前記負荷回路に接続された第 2 配線と、

前記パッド上に所定の空隙を保持して、前記第 1 配線および前記第 2 配線を覆う第 2 絶縁膜と、

を備えたことを特徴とするものである。

【 0 0 1 7 】

請求項 1 0 の発明に係る半導体装置は、請求項 9 に記載の半導体装置において

、
前記第 2 配線は、前記パッドの近傍で配線幅が細く形成されたことを特徴とするものである。

【 0 0 1 8 】

請求項 1 1 の発明に係る半導体装置は、請求項 9 又は 1 0 に記載の半導体装置において、

前記第 2 配線は、所定の電圧が印加されると、エレクトロマイグレーションを発生して前記パッドと接続することを特徴とするものである。

【 0 0 1 9 】

請求項 1 2 の発明に係る半導体装置の製造方法は、負荷回路に高電圧が印加されるのを防ぐための短絡回路又はスベア回路を有する半導体装置の製造方法であ

って、

基板上に、前記短絡回路又はスペア回路に接続された第 1 配線を形成する工程と、

前記第 1 配線を覆うように前記基板の全面に第 1 絶縁膜を形成する工程と、
前記第 1 絶縁膜の表面から前記第 1 配線まで達する第 1 開口部を前記第 1 絶縁膜内に形成する工程と、

前記第 1 開口部内にプラグを形成する工程と、

前記プラグ上に、前記負荷回路に接続された第 2 配線を形成する工程と、

前記第 2 配線と前記プラグとの間に空隙を形成する工程と、

前記空隙を形成した後、前記基板の全面を覆う第 2 絶縁膜を形成する工程と、
を含むことを特徴とするものである。

【 0 0 2 0 】

請求項 1 3 の発明に係る半導体装置の製造方法は、請求項 1 2 に記載の製造方法において、

前記第 2 配線は、バリアメタルと、当該バリアメタル上に形成されたアルミニウム配線とを有し、

前記空隙は、前記プラグ上に形成された前記バリアメタルと、前記プラグの上層部分とを除去して形成することを特徴とするものである。

【 0 0 2 1 】

請求項 1 4 の発明に係る半導体装置の製造方法は、請求項 1 3 に記載の製造方法において、

前記空隙は、前記プラグ上に形成された前記アルミニウム配線の下層部分を更に除去して形成することを特徴とするものである。

【 0 0 2 2 】

請求項 1 5 の発明に係る半導体装置の製造方法は、請求項 1 2 に記載の製造方法において、

前記第 2 配線は、バリアメタルと、当該バリアメタル上に形成されたアルミニウム配線とを有し、

前記空隙は、前記プラグ上に形成された前記バリアメタルを除去して形成する

ことを特徴とするものである。

【 0 0 2 3 】

請求項 1 6 の発明に係る半導体装置の製造方法は、請求項 1 2 に記載の製造方法において、

前記第 2 配線は、バリアメタルと、当該バリアメタル上に形成されたアルミニウム配線とを有し、

前記プラグの上層部分を除去して、前記空隙を形成することを特徴とするものである。

【 0 0 2 4 】

請求項 1 7 の発明に係る半導体装置の製造方法は、請求項 1 2 から 1 6 の何れかに記載の製造方法において、

前記空隙をウェットエッチングにより形成することを特徴とするものである。

【 0 0 2 5 】

請求項 1 8 の発明に係る半導体装置の製造方法は、負荷回路に高電圧が印加されるのを防ぐための短絡回路又はスペア回路を有する半導体装置の製造方法であって、

基板上に、前記短絡回路又はスペア回路に接続された第 1 配線を形成する工程と、

前記第 1 配線を覆うように前記基板の全面に第 1 絶縁膜を形成する工程と、

前記第 1 絶縁膜内に第 1 開口部を形成する工程と、

前記第 1 開口部内にプラグを形成する工程と、

底面が前記プラグの上面と重ならないように、第 2 配線を前記第 1 絶縁膜上に形成する工程と、

前記第 2 配線を覆うように前記基板の全面に、第 2 絶縁膜を形成する工程と、

前記第 2 絶縁膜の表面から前記プラグの上面にまで達し、前記第 2 配線を露出させる第 2 開口部を前記第 2 絶縁膜内に形成する工程と、

前記第 2 開口部の底部に空隙を残すように、前記基板の全面に第 3 絶縁膜を形成する工程と、

を含むことを特徴とするものである。

【 0 0 2 6 】

請求項 1 9 の発明に係る半導体装置の製造方法は、負荷回路に高電圧が印加されるのを防ぐための短絡回路又はスペア回路を有する半導体装置の製造方法であって、

基板上に第 1 絶縁膜を形成する工程と、

前記第 1 絶縁膜内に第 1 開口部を形成する工程と、

前記第 1 開口部内にパッドを形成する工程と、

底面の一部が前記パッドの上面と重なるように、前記第 1 絶縁膜上に前記短絡回路又はスペア回路に接続された第 1 配線を形成する工程と、

底面が前記パッドの上面と重ならないように、前記第 1 絶縁膜上に前記負荷回路に接続された第 2 配線を形成する工程と、

前記第 1 配線および前記第 2 配線を覆うように前記基板の全面に第 2 絶縁膜を形成する工程と、

前記第 2 絶縁膜の表面から前記パッドの上面にまで達し、前記第 2 配線の一部を露出させる第 2 開口部を前記第 2 絶縁膜内に形成する工程と、

前記第 2 開口部の底部に空隙を残すように、前記基板の全面に第 3 絶縁膜を形成する工程と、

を含むことを特徴とするものである。

【 0 0 2 7 】

請求項 2 0 の発明に係る半導体装置の製造方法は、負荷回路に高電圧が印加されるのを防ぐための短絡回路又はスペア回路を有する半導体装置の製造方法であって、

基板上に、前記短絡回路又はスペア回路に接続された第 1 配線を形成する工程と、

前記第 1 配線を覆うように前記基板の全面に第 1 絶縁膜を形成する工程と、

前記第 1 絶縁膜内に第 1 開口部を形成する工程と、

前記第 1 開口部内にプラグを形成する工程と、

底面が前記プラグの上面と重ならないように、第 2 配線を前記第 1 絶縁膜上に形成する工程と、

前記第 2 配線を覆うように前記基板の全面に、第 2 絶縁膜を形成する工程と、
 前記第 2 絶縁膜上に第 3 絶縁膜を形成する工程と、
 前記プラグの直上に形成されていない前記第 3 絶縁膜内に第 2 開口部を形成する工程と、
 前記第 2 開口部の底部に露出する前記第 2 絶縁膜を除去して、前記プラグ上かつ前記第 2 配線の側方に空隙を形成する工程と、
 前記第 2 開口部を塞ぐように、前記基板の全面に第 4 絶縁膜を形成する工程と、
 を含むことを特徴とするものである。

【 0 0 2 8 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。図中、同一又は相当する部分には同一の符号を付してその説明を簡略化ないし省略することがある。

実施の形態 1.

先ず、本実施の形態 1 による半導体装置について説明する。

図 1 は、本発明の実施の形態 1 による半導体装置を説明するための断面図である。図 2 は、本発明の実施の形態 1 による半導体装置において、下層配線、プラグおよび上層配線の位置関係を示した図である。

【 0 0 2 9 】

図 1 および図 2 において、参照符号 1 1 は下層配線（第 1 配線）、1 2 は上層配線（第 2 配線）、2 1、2 2、2 3 は絶縁膜、3 1 はプラグ、4 1 は空隙を示している。

【 0 0 3 0 】

ここで、下層配線 1 1 はバリアメタル 1 1 1、1 1 3 およびアルミニウム配線 1 1 2 を備えている。バリアメタル 1 1 1、1 1 3 は、TiN、Ti、TaN、Ta 又はそれらの積層膜である（後述のバリアメタルについても同様とする）。アルミニウム配線 1 1 2 は、Al のみからなる配線以外に、AlSiCu 又は AlCu 等のアルミニウム合金からなる配線であってもよい（後述のアルミニウム

配線についても同様とする)。また、上層配線 1 2 は、バリアメタル 1 2 1, 1 2 3 およびアルミニウム配線 1 2 2 を備えている。

【0 0 3 1】

上層配線 1 2 は、図示しない負荷回路に接続されている。一方、下層配線 1 1 は、図示しない短絡回路あるいはスペア回路に接続されている。

【0 0 3 2】

図 1 に示すように、基板（図示省略）上に下層配線 1 1 が形成され、下層配線 1 1 を覆うように絶縁膜 2 1 が形成されている。絶縁膜 2 1 内には、絶縁膜 2 1 の表面から下層配線 1 1 の上面にまで達する開口部が形成され、この開口部内にプラグ 3 1 が形成されている。ここで、プラグ 3 1 は下層配線 1 1 と電氣的に接続されている。また、プラグ 3 1 上に上層配線 1 2 が形成されている。ここで、プラグ 3 1 と上層配線 1 2 との間には、空隙 4 1 が形成されている。すなわち、上層配線 1 2 は空隙 4 1 を介してプラグ 3 1 上に形成されており、空隙 4 1 により上層配線 1 2 とプラグ 3 1 とが分離されている。また、上層配線 1 2 と下層配線 1 1 とが電氣的に絶縁されている。

【0 0 3 3】

次に、上記半導体装置の動作について説明する。詳細には、半導体装置におけるアンチヒューズ接続について説明する。

図 9 は、本実施の形態 1 による半導体装置におけるアンチヒューズ接続を説明するための断面図である。

図 9 に示すように、上層配線 1 2 に所定の電圧を印加すると、上層配線 1 2 のアルミニウム配線 1 2 2 でエレクトロマイグレーションが発生する。これにより、アルミニウム配線 1 2 2 は、直下に形成された空隙 4 1 を経てプラグ 3 1 と接続する。プラグ 3 1 は下層配線 1 1 と電氣的に接続されているため、上層配線 1 2 と下層配線 1 1 とがプラグ 3 1 を介して電氣的に接続される。すなわち、上層配線 1 2 と下層配線 1 1 が、アンチヒューズ接続される。

ここで、アルミニウム配線 1 2 2 とプラグ 3 1 の接触面積（短絡部の面積）は、従来の半導体装置でアンチヒューズ接続する場合よりも広く確保される。

また、上層配線 1 2 は負荷回路に接続され、下層配線 1 1 は短絡回路又はスベ

ア回路に接続されている。従って、負荷回路に、当該負荷回路を動作させるのに十分な電圧が印加されなくなる。

【 0 0 3 4 】

次に、上記半導体装置の製造方法について説明する。

図 3 ～ 図 8 は、本発明の実施の形態 1 による半導体装置の製造方法を説明するための図である。

先ず、図 3 に示すように、基板（図示省略）上に、バリアメタル 1 1 1、アルミニウム配線 1 1 2 およびバリアメタル 1 1 3 を積層する。次に、積層したバリアメタル 1 1 1、1 1 3 およびアルミニウム配線 1 1 2 をパターニングする。これにより、バリアメタル 1 1 1、1 1 3 およびアルミニウム配線 1 1 2 からなる下層配線 1 1 が形成される。

次に、下層配線 1 1 を覆うように基板全面に絶縁膜（層間絶縁膜）2 1 をプラズマ CVD 法により形成する。そして、絶縁膜 2 1 の表面から下層配線 1 1 にまで達する開口部を絶縁膜 2 1 内にドライエッチングにより形成する。

そして、開口部内にタングステン等の金属を埋め込み、CMP により不要な金属（タングステン）を除去する。これにより、開口部内にプラグ（タングステンプラグ）3 1 が形成される。

次に、絶縁膜 2 1 およびプラグ 3 1 上に、バリアメタル 1 2 1、アルミニウム配線 1 2 2 およびバリアメタル 1 2 3 を積層する。そして、バリアメタル 1 2 1、1 2 3 およびアルミニウム配線 1 2 2 をパターニングする。これにより、バリアメタル 1 2 1、1 2 3 およびアルミニウム配線 1 2 2 からなる上層配線 1 2 が形成される。

ここで、図 4 に示すような位置関係で、プラグ 3 1 と上層配線 1 2 が形成される。

【 0 0 3 5 】

次に、図 5 および図 6 に示すように、上層配線 1 2 を覆うように基板全面に絶縁膜 2 2 を形成する。そして、プラグ 3 1 上に形成された絶縁膜 2 2 をドライエッチングにより除去して、絶縁膜 2 2 に開口部 2 2 a を形成する。ここで、開口部 2 2 a は、プラグ 3 1 上面よりも大きく形成される。

【0036】

次に、図7に示すように、絶縁膜22の開口部22aから薬液を流し込んで、プラグ31上に形成されたバリアメタル121およびアルミニウム配線122の下層部分、ならびにプラグ31の上層部分をウェットエッチングする。ここで、上記薬液は、 NH_4OH を含有するアルカリ系溶液であり、開口部22a近傍におけるアルミニウム配線122の全てを溶解させないように、濃度調整しておく。

これにより、プラグ31上に空隙41が形成される。すなわち、空隙41により上層配線12とプラグ31が分離される。

また、上記ウェットエッチングにより、バリアメタル123およびアルミニウム配線122の上層部分も除去される。また、図示しないが、アルミニウム配線122は、配線幅の方向（図7で、手前－奥方向に対応する）にもウェットエッチングされる。すなわち、プラグ31上で、アルミニウム配線122の配線幅が細くなる。

【0037】

最後に、図8に示すように、絶縁膜22の開口部22aを塞ぐように、基板全面に絶縁膜（保護絶縁膜）23をプラズマCVD法により形成する。

【0038】

以上説明したように、本実施の形態1では、上層配線12に所定の電圧を印加して、アルミニウム配線122でエレクトロマイグレーションを発生させた。これにより、空隙41により分離されていた上層配線12とプラグ31とを接続するようにした。プラグ31は下層配線11と電氣的に接続されているため、上層配線12がプラグ31を介して下層配線11と電氣的に接続される。

従って、上層配線12にエレクトロマイグレーションを発生させることにより、上層配線12と下層配線11とをアンチヒューズ接続することができる。よって、上層配線12に接続された負荷回路に、当該負荷回路を動作させるのに十分な電圧が印加されることを防止することができる。

【0039】

また、本実施の形態1では、従来のアンチヒューズ膜を絶縁破壊する場合に比

べて、アルミニウム配線 122 とプラグ 31 との接触面積（すなわち短絡部の面積）を広くとることができる。さらに、短絡部分である空隙 41 の大きさは、薬液によるウェットエッチング量で容易に制御することができる。

従って、確実にアンチヒューズ接続することができ、アンチヒューズ構造の信頼性を大幅に向上させることができる。また、従来発生していたようなプログラミング電圧のばらつきを抑制することができる。

【0040】

また、アルミニウム配線 122 の下層部分および上層部分をウェットエッチングすることにより、部分的に（プラグ上 31 で）アルミニウム配線 122 の膜厚が薄くなる。また、これと同時に、アルミニウム配線 122 の配線幅が細くなる。従って、当該膜厚が薄い部分（並びに配線幅が細い部分）で優先的にエレクトロマイグレーションを発生させることができる。

【0041】

また、アルミニウム配線 122 でエレクトロマイグレーションを発生させるために上層配線 12 に印加する電圧の方が、従来のプログラミング電圧よりも低い。印加パルス波形にもよるが、印加電圧を少なくとも 3 V 以下に抑えることができる。従って、過剰な電圧を印加する必要がない。これにより、半導体装置の信頼性を向上させることができる（後述の実施の形態 2～6 において同様）。

【0042】

また、プラグ 31 の直上に空隙 41 が形成されており、空隙 41 の直上にアルミニウム配線 122 が形成されている。これにより、上記エレクトロマイグレーションを発生したアルミニウム配線 122 が、容易にプラグ 31 と接触可能となる。従って、アンチヒューズ接続をより確実に行うことができる。

【0043】

また、本実施の形態 1 ではレーザーブローを用いて短絡させないため、半導体素子等にダメージを与えることなく、アンチヒューズ回路を接続することができる（後述の実施の形態 2～6 において同様）。

【0044】

また、本実施の形態 1 による半導体装置において、アンチヒューズ接続は、上

層配線 1 2 に所定の電圧を印加するだけでよいため、ポストパッケージ後であってもアンチヒューズ接続することができる。従って、半導体装置の歩留まりを向上させることができる。

【 0 0 4 5 】

なお、本実施の形態 1 では、プラグ 3 1、バリアメタル 1 2 1 およびアルミニウム配線 1 2 2 を除去して空隙 4 1 を形成したが、プラグ 3 1 およびバリアメタル 1 2 1 のみを除去することによって空隙を形成してもよい。すなわち、アルミニウム配線 1 2 2 の下層部分はウェットエッチングしなくてもよい。この場合も、上述した効果と同様の効果が得られる。

【 0 0 4 6 】

実施の形態 2.

上述の実施の形態 1 では、プラグ 3 1、バリアメタル 1 2 1 およびアルミニウム配線 1 2 2 をウェットエッチングで除去することにより空隙 4 1 を形成した。本実施の形態 2 においては、バリアメタルのみをウェットエッチングで除去することにより形成された空隙を有する半導体装置について説明する。

【 0 0 4 7 】

先ず、本実施の形態 2 による半導体装置について説明する。

図 1 0 は、本発明の実施の形態 2 による半導体装置を説明するための断面図である。

図 1 0 において、図 1 又は図 2 と同一の参照符号は同様の部分を示すため、その説明を簡略化ないし省略する。また、図 1 0 中の参照符号 4 2 は、空隙を示している。

【 0 0 4 8 】

図 1 0 に示すように、基板（図示省略）上に下層配線 1 1 が形成され、下層配線 1 1 を覆うように絶縁膜 2 1 が形成されている。絶縁膜 2 1 内の開口部にプラグ 3 1 が形成され、プラグ 3 1 上に上層配線 1 2 が形成されている。ここで、プラグ 3 1 と上層配線 1 2 との間には、空隙 4 2 が形成されている。すなわち、上層配線 1 2 が空隙 4 2 を介してプラグ 3 1 上に形成される。このため、空隙 4 2 により上層配線 1 2 とプラグ 3 1 が分離されており、上層配線 1 2 と下層配線 1

1 とが電氣的に絶縁されている。ここで、空隙 4 2 は、バリアメタル 1 2 1 を除去して形成されたものである（後述）。

【 0 0 4 9 】

半導体装置の動作については、前述の実施の形態 1 と同様であるため、説明を省略する。

【 0 0 5 0 】

次に、上記半導体装置の製造方法について説明する。

図 1 1 ～図 1 6 は、本実施の形態 2 による半導体装置の製造方法を説明するための図である。

先ず、図 1 1 ～図 1 4 で示された工程を行う。ここで、図 1 1 ～図 1 4 は、実施の形態 1 で説明した図 3 ～図 6 の工程と同一であるため、説明を省略する。

次に、図 1 5 に示すように、絶縁膜 2 2 の開口部 2 2 a から、例えば過酸化水素を含む薬液を流し込んで、プラグ 3 1 上に形成されたバリアメタル 1 2 1 をウェットエッチングする。これにより、プラグ 3 1 上に空隙 4 2 が形成される。また、このウェットエッチングにより、バリアメタル 1 2 3 が同時に除去されるが、デバイス動作上の問題はない。

【 0 0 5 1 】

最後に、図 1 6 に示すように、絶縁膜 2 2 の開口部 2 2 a を塞ぐように、基板全面に絶縁膜（保護絶縁膜）2 3 をプラズマ C V D 法により形成する。

【 0 0 5 2 】

以上説明したように、本実施の形態 2 では、上層配線 1 2 に所定の電圧を印加して、アルミニウム配線 1 2 2 でエレクトロマイグレーションを発生させた。これにより、空隙 4 2 により分離されていた上層配線 1 2 とプラグ 3 1 とを接続するようにした。プラグ 3 1 は下層配線 1 1 と電氣的に接続されているため、上層配線 1 2 がプラグ 3 1 を介して下層配線 1 1 と電氣的に接続される。

従って、本実施の形態 2 においても、実施の形態 1 と同様の効果が得られる。

【 0 0 5 3 】

実施の形態 3.

上述の実施の形態 1 では、プラグ 3 1、バリアメタル 1 2 1 およびアルミニウ

ム配線 1 2 2 をウェットエッチングで除去することにより空隙 4 1 を形成した。
本実施の形態 3 においては、プラグの上層部分のみをウェットエッチングすることにより形成された空隙を有する半導体装置について説明する。

【 0 0 5 4 】

先ず、本実施の形態 3 による半導体装置について説明する。

図 1 7 は、本発明の実施の形態 3 による半導体装置を説明するための断面図である。

図 1 7 において、図 1 又は図 2 と同一の参照符号は同様の部分を示すため、その説明を簡略化ないし省略する。また、図 1 7 中の参照符号 4 3 は、空隙を示している。

【 0 0 5 5 】

図 1 7 に示すように、基板（図示省略）上に下層配線 1 1 が形成され、下層配線 1 1 を覆うように絶縁膜 2 1 が形成されている。絶縁膜 2 1 内の開口部にプラグ 3 1 が形成され、プラグ 3 1 上に上層配線 1 2 が形成されている。ここで、プラグ 3 1 と上層配線 1 2 との間には、空隙 4 3 が形成されている。すなわち、空隙 4 3 を介して上層配線 1 2 がプラグ 3 1 上に形成されている。このため、空隙 4 3 により上層配線 1 2 とプラグ 3 1 とが分離されており、上層配線 1 2 と下層配線 1 1 とが電氣的に絶縁されている。ここで、空隙 4 3 は、プラグ 3 1 上層部分が除去されて形成されたものである（後述）。

【 0 0 5 6 】

半導体装置の動作については、前述の実施の形態 1 と同様であるため、説明を省略する。

【 0 0 5 7 】

次に、上記半導体装置の製造方法について説明する。

図 1 8 ～図 2 3 は、本実施の形態 3 による半導体装置の製造方法を説明するための図である。

先ず、図 1 8 ～図 2 1 で示された工程を行う。ここで、図 1 8 ～図 2 1 は、実施の形態 1 で説明した図 3 ～図 6 の工程と同一であるため、説明を省略する。

次に、図 2 2 に示すように、絶縁膜 2 2 の開口部 2 2 a から、例えば NH₄O

H水溶液にA1防食剤を混合してなる薬液を流し込んで、プラグ31の上層部分をウェットエッチングにより除去する。これにより、プラグ31上に空隙43が形成される。なお、上記薬液に、バリアメタルの防食剤を適宜混合してもよい。

最後に、図23に示すように、絶縁膜22の開口部22aを塞ぐように、基板全面に絶縁膜（保護絶縁膜）23をプラズマCVD法により形成する。

【0058】

以上説明したように、本実施の形態3では、上層配線12に所定の電圧を印加して、アルミニウム配線122でエレクトロマイグレーションを発生させた。これにより、空隙43により分離されていた上層配線12とプラグ31とを接続するようにした。プラグ31は下層配線11と電氣的に接続されているため、上層配線12がプラグ31を介して下層配線11と電氣的に接続される。

従って、本実施の形態3においても、実施の形態1と同様の効果が得られる。

【0059】

実施の形態4.

先ず、本実施の形態4による半導体装置について説明する。

図24は、本発明の実施の形態4による半導体装置を説明するための断面図である。図25は、本発明の実施の形態4による半導体装置において、下層配線、プラグ、空隙および上層配線の位置関係を示した上面図である。

【0060】

図24および図25において、参照符号13は下層配線（第1配線）、14は上層配線（第2配線）、24、25、26は絶縁膜、32はプラグ、44は空隙を示している。

ここで、下層配線13は、バリアメタル131、133およびアルミニウム配線132を備えている。また、上層配線14は、バリアメタル141、143およびアルミニウム配線142を備えている。

【0061】

上層配線14は、図示しない負荷回路に接続されている。一方、下層配線13は、図示しない短絡回路あるいはスペア回路に接続されている。

【0062】

図 2 4 に示すように、基板（図示省略）上に下層配線 1 3 が形成され、下層配線 1 3 を覆うように絶縁膜 2 4 が形成されている。絶縁膜 2 4 内には、絶縁膜 2 4 の表面から下層配線 1 3 の上面にまで達する開口部が形成され、当該開口部内にプラグ 3 2 が形成されている。ここで、プラグ 3 2 は、下層配線 1 3 と電氣的に接続されている。

そして、絶縁膜 2 4 上に上層配線 1 4 が形成されている。ここで、上層配線 1 4 は、底面がプラグ 3 2 の上面と接触しないように形成されている。また、上層配線 1 4 は、プラグ 3 2 の近傍で配線幅が細くなるように形成されている（図 2 5 参照）。

そして、上層配線 1 4 を覆うように基板全面に絶縁膜 2 5 が形成されている。そして、絶縁膜 2 5 内には、絶縁膜 2 5 の表面からプラグ 3 2 の上面まで達する開口部（後述する開口部 2 5 a）が形成されている。ここで、当該開口部により上層配線 1 4 の一部が露出している。

さらに、当該開口部を塞ぐように基板全面に絶縁膜（保護絶縁膜）2 6 が形成されている。ここで、当該開口部は、絶縁膜 2 6 によって完全に埋め込まれず、底部に空隙 4 4 が残存している。すなわち、上層配線 1 4 側方かつプラグ 3 2 上に形成された空隙 4 4 により、上層配線 1 4 とプラグ 3 2 が分離されている。

【 0 0 6 3 】

次に、上記半導体装置の動作、すなわちアンチヒューズ接続について説明する。

図示しないが、上層配線 1 4 に所定の電圧を印加すると、上層配線 1 4 のアルミニウム配線 1 4 2 でエレクトロマイグレーションが発生する。これにより、アルミニウム配線 1 4 2 は、空隙 4 4 を経てプラグ 3 2 と接続する。プラグ 3 2 は、下層配線 1 3 と電氣的に接続されているため、上層配線 1 4 と下層配線 1 3 とがプラグ 3 2 を介して電氣的に接続（アンチヒューズ接続）される。

ここで、アルミニウム配線 1 4 2 とプラグ 3 2 の接触面積（短絡部の面積）は、従来の半導体装置でアンチヒューズ接続する場合よりも広く確保される。

また、上層配線 1 4 は負荷回路に接続され、下層配線 1 3 は短絡回路又はスベア回路に接続されている。従って、負荷回路に、当該負荷回路を動作させるのに

十分な電圧が印加されなくなる。

【 0 0 6 4 】

次に、上記半導体装置の製造方法について説明する。

図 2 6 ～ 図 3 0 は、本発明の実施の形態 4 による半導体装置の製造方法を説明するための図である。

まず、図 2 6 に示すように、基板（図示省略）上に、バリアメタル 1 3 1、アルミニウム配線 1 3 2 およびバリアメタル 1 3 3 を積層する。次に、積層したバリアメタル 1 3 1、1 3 3 およびアルミニウム配線 1 3 2 をパターニングする。これにより、バリアメタル 1 3 1、1 3 3 およびアルミニウム配線 1 3 2 からなる下層配線 1 3 が形成される。

次に、下層配線 1 3 を覆うように基板全面に絶縁膜（層間絶縁膜）2 4 をプラズマ C V D 法により形成する。そして、絶縁膜 2 4 の表面から下層配線 1 3 にまで達する開口部を、絶縁膜 2 4 内にドライエッチングにより形成する。

そして、開口部内にタングステン等の金属を埋め込み、CMP により不要な金属（タングステン）を除去する。これにより、開口部内にプラグ（タングステンプラグ）3 2 が形成される。

次に、基板全面（絶縁膜 2 4 およびプラグ 3 2 上）にバリアメタル 1 4 1 を形成する。そして、バリアメタル 1 4 1 上にアルミニウム配線 1 4 2 を形成する。さらに、アルミニウム配線 1 4 2 上にバリアメタル 1 4 3 を形成する。

【 0 0 6 5 】

次に、図 2 7 に示すように、バリアメタル 1 4 1、1 4 3 およびアルミニウム配線 1 4 2 をパターニングする。これにより、バリアメタル 1 4 1、1 4 3 およびアルミニウム配線 1 4 2 からなる上層配線 1 4 が形成される。

ここで、図 2 8 に示すような位置関係で、下層配線 1 3、上層配線 1 4 およびプラグ 3 2 が形成される。また、図 2 8 に示すように、上層配線 1 4 は、プラグ 3 2 の近傍で配線幅が細くなるように形成されている。これにより、プラグ 3 2 近傍の上層配線 1 4 で、優先的にエレクトロマイグレーションが発生する。

【 0 0 6 6 】

次に、図 2 9 に示すように、上層配線 1 4 を覆うように基板全面に絶縁膜 2 5

をプラズマCVD法により形成する。そして、プラグ32の近傍に形成された絶縁膜25をエッチングにより除去する。これにより、絶縁膜25内に開口部25aが形成される。ここで、開口部25aは、底面にプラグ32の上面が露出するように形成されている。また、当該開口部25aにより上層配線14の一部が露出している。

【0067】

最後に、図30に示すように、開口部25aを塞ぐように基板全面に絶縁膜（保護絶縁膜）26をプラズマCVD法により形成する。この時、開口部25aを完全に埋め込むのではなく、開口部25aの底部、すなわち上層配線14側方かつプラグ32上に空隙44を残すように、絶縁膜26を形成する。

【0068】

以上説明したように、本実施の形態4では、上層配線14に所定の電圧を印加して、アルミニウム配線142でエレクトロマイグレーションを発生させた。これにより、空隙44により分離されていた上層配線14とプラグ32とを接続するようにした。プラグ32は、下層配線13と電氣的に接続されているため、上層配線14がプラグ32を介して下層配線13と電氣的に接続される。

従って、上層配線14にエレクトロマイグレーションを発生させることにより、上層配線14と下層配線13とをアンチヒューズ接続することができる。よって、上層配線14に接続された負荷回路に、当該負荷回路を動作させるのに十分な電圧が印加されることを防止することができる。

【0069】

また、従来のアンチヒューズ膜を絶縁破壊する場合に比べて、アルミニウム配線142とプラグ32との接触面積（すなわち短絡部の面積）を広くとることができる。従って、確実にアンチヒューズ接続することができ、アンチヒューズ構造の信頼性を大幅に向上させることができる。

【0070】

また、上層配線14の配線幅をプラグ32近傍で細くすることにより、エレクトロマイグレーションをプラグ32近傍で優先的に発生させることができる（後述の実施の形態6においても同様）。

【 0 0 7 1 】

また、本実施の形態 4 による半導体装置において、アンチヒューズ接続は、上層配線 1 4 に所定の電圧を印加するだけでよいため、ポストパッケージ後であってもアンチヒューズ接続することができる。従って、半導体装置の歩留まりを向上させることができる。

【 0 0 7 2 】

実施の形態 5.

先ず、本実施の形態 5 による半導体装置について説明する。

図 3 1 は、本発明の実施の形態 5 による半導体装置を説明するための断面図である。図 3 2 は、本発明の実施の形態 5 による半導体装置において、第 1 配線、パッド、空隙および第 2 配線の位置関係を説明するための上面図である。

【 0 0 7 3 】

図 3 1 および図 3 2 において、参照符号 1 5 a は第 1 配線、1 5 b は第 2 配線、2 4, 2 5, 2 6 は絶縁膜、3 3 はパッド、4 5 は空隙を示している。

ここで、第 1 配線 1 5 a は、バリアメタル 1 5 1 a, 1 5 3 a、アルミニウム配線 1 5 2 a を備えている。また、第 2 配線 1 5 b は、バリアメタル 1 5 1 b, 1 5 3 b、およびアルミニウム配線 1 5 2 b を備えている。

【 0 0 7 4 】

第 1 配線 1 5 a は、図示しない短絡回路あるいはスペア回路に接続されている。一方、第 2 配線 1 5 b は、図示しない負荷回路に接続されている。

【 0 0 7 5 】

図 3 1 に示すように、基板（図示省略）上に、開口部を有する絶縁膜 2 4 が形成され、この開口部内にパッド 3 3 が形成されている。そして、絶縁膜 2 4 上に第 1 配線 1 5 a および第 2 配線 1 5 b が形成されている。ここで、第 1 配線 1 5 a は、底面の一部がパッド 3 3 上面と接触するように形成され、第 2 配線 1 5 b は、底面がパッド 3 3 上面と接触しないように形成されている。また、図 3 2 に示すように、第 2 配線 1 5 b は、パッド 3 3 近傍で配線幅が細くなるように形成されている。さらに、第 1 配線 1 5 a および第 2 配線 1 5 b は、パッド 3 3 を挟むようにして形成されている。

上記第 1 配線 1 5 a および第 2 配線 1 5 b を覆うように絶縁膜 2 5 が形成されている。絶縁膜 2 5 には、当該絶縁膜 2 5 表面からパッド 3 3 上面に達する開口部（後述する開口部 2 5 a）が形成されている。ここで、開口部により第 1 配線 1 5 a および第 2 配線 1 5 b の一部が露出する。なお、当該開口部により第 2 配線 1 5 b の一部が露出していれば、第 1 配線 1 5 a は露出していなくてもよい。

そして、絶縁膜 2 5 の開口部を塞ぐように絶縁膜（保護絶縁膜）2 6 が形成されている。ここで、開口部は、絶縁膜 2 6 によって完全に埋め込まれず、底部に空隙 4 5 を残している。すなわち、第 2 配線 1 5 b 側方かつパッド 3 3 上に空隙 4 5 が形成される。

【0 0 7 6】

次に、上記半導体装置の動作、すなわちアンチヒューズ接続について説明する。

図示しないが、第 2 配線 1 5 b に所定の電圧を印加すると、第 2 配線 1 5 b のアルミニウム配線 1 5 2 b でエレクトロマイグレーションが発生する。これにより、アルミニウム配線 1 5 2 b は、パッド 3 3 上に形成された空隙 4 5 を経てパッド 3 3 と接続する。パッド 3 3 は、第 1 配線 1 5 a と電氣的に接続されているため、第 1 配線 1 5 a と第 2 配線 1 5 b とがパッド 3 3 を介して電氣的に接続（アンチヒューズ接続）される。

【0 0 7 7】

次に、上記半導体装置の製造方法について説明する。

図 3 3 ～図 3 7 は、本発明の実施の形態 5 による半導体装置の製造方法を説明するための図である。

まず、図 3 3 に示すように、基板（図示省略）上に、絶縁膜 2 4 をプラズマ CVD 法により形成する。次に、絶縁膜 2 4 内に所定の深さの開口部をドライエッチングにより形成する。そして、開口部内にタングステン等の金属を埋め込み、CMP により不要な金属（タングステン）を除去する。これにより、開口部内に導電性のパッド 3 3 が形成される。

次に、基板全面にバリアメタル 1 5 1 を形成する。そして、バリアメタル 1 5 1 上にアルミニウム配線 1 5 2 を形成する。さらに、アルミニウム配線 1 5 2 上

にバリアメタル 1 5 3 を形成する。

【 0 0 7 8 】

次に、図 3 4 に示すように、バリアメタル 1 5 1, 1 5 3 およびアルミニウム配線 1 5 2 をパターンニングする。これにより、絶縁膜 2 4 上の同一レイヤに、第 1 配線 1 5 a と第 2 配線 1 5 b とが同時に形成される。

ここで、図 3 5 に示すような位置関係で、第 1 配線 1 5 a、第 2 配線 1 5 b、およびパッド 3 3 が形成される。また、図 3 5 に示すように、第 2 配線 1 5 b は、パッド 3 3 の近傍で配線幅が細くなるように形成される。このため、パッド 3 3 近傍の第 2 配線 1 5 b において、エレクトロマイグレーションが発生しやすくなる。

【 0 0 7 9 】

次に、図 3 6 に示すように、第 1 配線 1 5 a および第 2 配線 1 5 b を覆うように基板全面に絶縁膜 2 5 をプラズマ C V D 法により形成する。そして、パッド 3 3 近傍に形成された絶縁膜 2 5 をドライエッチングにより除去する。これにより、絶縁膜 2 5 内に、絶縁膜 2 5 の表面からパッド 3 3 の上面に達する開口部 2 5 a が形成される。また、開口部 2 5 a により第 1 配線 1 5 a および第 2 配線 1 5 b の一部がそれぞれ露出している。

【 0 0 8 0 】

最後に、図 3 7 に示すように、開口部 2 5 a を塞ぐように基板全面に絶縁膜（保護絶縁膜） 2 6 をプラズマ C V D 法により形成する。この時、開口部 2 5 a を完全に埋め込むのではなく、開口部 2 5 a の底部に空隙 4 5 を残すように、絶縁膜 2 6 を形成する。

【 0 0 8 1 】

以上説明したように、本実施の形態 5 では、第 2 配線 1 5 b に所定の電圧を印加して、アルミニウム配線 1 5 2 b でエレクトロマイグレーションを発生させた。これにより、空隙 4 5 により分離されていた第 2 配線 1 5 b とパッド 3 3 とを接続するようにした。パッド 3 3 は、第 1 配線 1 5 a と電氣的に接続されているため、第 2 配線 1 5 b がパッド 3 3 を介して第 1 配線 1 5 a と電氣的に接続される。

従って、第2配線15bにエレクトロマイグレーションを発生させることにより、第2配線15bと第1配線15aとをアンチヒューズ接続することができる。よって、第2配線15bに接続された負荷回路に、当該負荷回路を動作させるのに十分な電圧が印加されることを防止することができる。

【0082】

また、従来のアンチヒューズ膜を絶縁破壊する場合に比べて、アルミニウム配線152bとパッド33との接触面積（すなわち短絡部の面積）を広くとることができる。従って、確実にアンチヒューズ接続することができ、アンチヒューズ構造の信頼性を大幅に向上させることができる。

【0083】

また、第2配線15bの配線幅をパッド33近傍で細くすることにより、エレクトロマイグレーションをパッド33近傍で優先的に発生させることができる。

【0084】

また、本実施の形態5による半導体装置において、アンチヒューズ接続は、第2配線15bに所定の電圧を印加するだけでよい。ため、ポストパッケージ後であってもアンチヒューズ接続することができる。従って、半導体装置の歩留まりを向上させることができる。

【0085】

なお、第2配線15bは、上述のようにパターニングする方法以外に、以下のような方法で形成してもよい。図38は、本実施の形態5による半導体装置の製造方法において、第2配線の別の形成方法を説明するための断面図である。

まず、図38に示すように、絶縁膜24内に溝を形成する。ここで、溝はパッド33の近傍に形成する。そして、当該溝にバリアメタル151b、アルミニウム配線152bおよびバリアメタル153bを埋め込む。これにより、絶縁膜24上および溝内に第2配線15bが形成される。

ここで、溝の側面に沿って形成された第2配線15bは幅が細くなっており、パターニングした場合と同様に、パッド33近傍で第2配線15bの配線幅が細くなる。従って、第2配線15bの高度な微細化技術が不要となる。

この方法は、第2配線15bの膜厚が厚い場合、すなわちアルミニウム配線1

5 2 b のエッチングが困難な場合に好適である。また、この方法は、写真製版技術によるパターン転写時において、局所的に配線を細くするのが困難な場合にも好適である。本実施の形態 5 のように、同一レイヤに隣接する配線の太さ（又は配線間隔）を大きく変えるのは困難であり、このような場合には特に好適である。

また、この方法は、実施の形態 4、6 で、上層配線 1 4 b を形成する場合に、適用可能である。

【 0 0 8 6 】

実施の形態 6.

上述の実施の形態 4 では、開口部 2 5 a を埋め戻すことにより上層配線 1 4 の側方に空隙 4 4 を形成し、この空隙 4 4 を経て上層配線 1 4 がプラグ 3 2 に接続することにより、アンチヒューズ接続した。本実施の形態 6 は、空隙の形成に開口部の埋め戻しを必要としない半導体装置およびその製造方法を提供する。

【 0 0 8 7 】

先ず、本実施の形態 6 による半導体装置について説明する。

図 3 9 は、本発明の実施の形態 6 による半導体装置を説明するための断面図である。

図 3 9 において、図 2 4 と同一の参照符号は同様の部分を示すため、その説明を簡略化ないし省略する。参照符号 2 7、2 8 は絶縁膜、4 6 は空隙を示している。

【 0 0 8 8 】

図 3 9 に示すように、基板（図示省略）上に下層配線 1 3 が形成され、下層配線 1 3 を覆うように絶縁膜 2 4 が形成されている。絶縁膜 2 4 内には開口部が形成され、当該開口部内にプラグ 3 2 が形成されている。

プラグ 3 2 の上層（絶縁膜 2 4 上）に上層配線 1 4 が形成されている。ここで、上層配線 1 4 は、底面がプラグ 3 2 の上面と接触しないように形成される。

そして、上層配線 1 4 を覆うように絶縁膜 2 5 が形成されている。さらに、絶縁膜 2 5 上に絶縁膜 2 7 が形成されている。直下にプラグ 3 2 が形成されていない絶縁膜 2 7 内には、開口部（後述する開口部 2 7 a）が形成されている。さら

に、絶縁膜 2 5 内には、プラグ 3 2 の上面および上層配線 1 4 の一部が露出する開口部（後述する開口部 2 5 a）が形成されている。また、絶縁膜 2 5 と絶縁膜 2 7 は、ウェットエッチングレートが異なる膜である。

そして、絶縁膜 2 7 の開口部を塞ぐように基板全面に絶縁膜（保護絶縁膜） 2 8 が形成されている。絶縁膜 2 5 の開口部は、絶縁膜 2 8 によって埋め込まれず、上層配線 1 4 側方かつプラグ 3 2 上に空隙 4 6 が形成される。

【 0 0 8 9 】

次に、上記半導体装置におけるアンチヒューズ接続について説明する。

図示しないが、上記配線 1 4 の所定の電圧を印加すると、アルミニウム配線 1 4 2 でエレクトロマイグレーションが発生する。これにより、アルミニウム配線 1 4 2 は、側方に形成された空隙 4 6 を経てプラグ 3 2 と接続する。プラグ 3 2 は、下層配線 1 3 と電氣的に接続されているため、上層配線 1 4 と下層配線 1 3 とがプラグ 3 2 を介して電氣的に接続（アンチヒューズ接続）される。

【 0 0 9 0 】

次に、上記半導体装置の製造方法について説明する。

図 4 0 ～図 4 5 は、本発明の実施の形態 6 による半導体装置の製造方法を説明するための図である。

【 0 0 9 1 】

まず、図 4 0 ～図 4 1 で示された工程を行う。ここで、図 4 0 ～図 4 1 は、実施の形態 4 で説明した図 2 6 ～図 2 7 の工程と同一であるため、説明を省略する。

ここで、図 4 1 に示す工程が終了した時、図 4 2 に示すような位置関係で、下層配線 1 3、上層配線 1 4 およびプラグ 3 2 が形成される。また、図 4 2 に示すように、上層配線 1 4 は、プラグ 3 2 の近傍で配線幅が細くなるように形成される。

【 0 0 9 2 】

次に、図 4 3 に示すように、上層配線 1 4 を覆うように基板全面に絶縁膜 2 5 を形成する。そして、絶縁膜 2 5 上に、当該絶縁膜 2 5 とウェットエッチングレートの異なる絶縁膜 2 7 を形成する。ここで、絶縁膜 2 5、2 7 のウェットエッ

チングレートは、絶縁膜 2 5, 2 7 にドーブされる不純物の有無、種類又は量により調整される。

次に、プラグ 3 2 の直上ではない部分に形成された絶縁膜 2 7 をドライエッチングにより除去して、開口部（アンチヒューズ開口部）2 7 a を形成する（図 4 4 参照）。

そして、開口部 2 7 a から薬液を流し込み、絶縁膜 2 5 をウェットエッチングする。これにより、絶縁膜 2 5 内に開口部 2 5 a が形成される。ここで、ウェットエッチングに用いられる上記薬液は、絶縁膜 2 5 のみを溶解させる薬液である。また、開口部 2 5 a によってプラグ 3 2 の上面および上層配線 1 4 の一部が露出している。

また、図 4 4 に示すような位置関係で、下層配線 1 3、上層配線 1 4、アンチヒューズ開口部 2 7 a およびプラグ 3 2 が形成される。

【 0 0 9 3 】

最後に、図 4 5 に示すように、基板全面に絶縁膜 2 8 を形成する。これにより、プラグ 3 2 の近傍に空隙 4 6 が形成される。ここで、開口部 2 7 a から開口部 2 5 a 内にも絶縁膜 2 8 が形成されるが、開口部 2 7 a はプラグ 3 2 の直上にならないため、プラグ 3 2 上には絶縁膜 2 8 は形成されない。

【 0 0 9 4 】

以上説明したように、本実施の形態 6 では、上層配線 1 4 に所定の電圧を印加して、アルミニウム配線 1 4 2 でエレクトロマイグレーションを発生させた。これにより、空隙 4 6 により分離されていた上層配線 1 4 とプラグ 3 2 とを接続するようにした。プラグ 3 2 は、下層配線 1 3 と電氣的に接続されているため、上層配線 1 4 がプラグ 3 2 を介して下層配線 1 3 と電氣的に接続される。

従って、本実施の形態 6 において、実施の形態 4 と同様の効果が得られる。

【 0 0 9 5 】

また、本実施の形態 6 では、ウェットエッチングレートの異なる 2 種類の絶縁膜 2 5, 2 7 を形成し、プラグ 3 2 上にない開口部 2 7 a から薬液を注いで絶縁膜 2 5 のみをウェットエッチングすることにより空隙 4 6 を形成した。

従って、実施の形態 4 のように、空隙を形成する際に開口部の埋め戻しを必要

としない。このため、実施の形態 4 よりも空隙を容易に形成することができる。

【0096】

【発明の効果】

本発明によれば、負荷回路に接続された第 2 配線にエレクトロマイグレーションを発生させて、第 2 配線近傍の空隙を経て第 2 配線と、プラグ又はパッドとを接続する。プラグ又はパッドは第 1 配線と接続され、第 1 配線は短絡回路又はスパア回路に接続されている。

従って、短絡部の面積を大きくとることが可能である。これにより、信頼性の高いアンチヒューズ回路を有する半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 による半導体装置を説明するための断面図である。

【図 2】 本発明の実施の形態 1 による半導体装置において、上層配線、プラグおよび下層配線の位置関係を説明するための上面図である。

【図 3】 本発明の実施の形態 1 による半導体装置の製造方法を説明するための図である（その 1）。

【図 4】 本発明の実施の形態 1 による半導体装置の製造方法を説明するための図である（その 2）。

【図 5】 本発明の実施の形態 1 による半導体装置の製造方法を説明するための図である（その 3）。

【図 6】 本発明の実施の形態 1 による半導体装置の製造方法を説明するための図である（その 4）。

【図 7】 本発明の実施の形態 1 による半導体装置の製造方法を説明するための図である（その 5）。

【図 8】 本発明の実施の形態 1 による半導体装置の製造方法を説明するための図である（その 6）。

【図 9】 本発明の実施の形態 1 による半導体装置の動作を説明するための断面図である。

【図 10】 本発明の実施の形態 2 による半導体装置を説明するための断面

図である。

【図 1 1】 本発明の実施の形態 2 による半導体装置の製造方法を説明するための図である（その 1）。

【図 1 2】 本発明の実施の形態 2 による半導体装置の製造方法を説明するための図である（その 2）。

【図 1 3】 本発明の実施の形態 2 による半導体装置の製造方法を説明するための図である（その 3）。

【図 1 4】 本発明の実施の形態 2 による半導体装置の製造方法を説明するための図である（その 4）。

【図 1 5】 本発明の実施の形態 2 による半導体装置の製造方法を説明するための図である（その 5）。

【図 1 6】 本発明の実施の形態 2 による半導体装置の製造方法を説明するための図である（その 6）。

【図 1 7】 本発明の実施の形態 3 による半導体装置を説明するための断面図である。

【図 1 8】 本発明の実施の形態 3 による半導体装置の製造方法を説明するための図である（その 1）。

【図 1 9】 本発明の実施の形態 3 による半導体装置の製造方法を説明するための図である（その 2）。

【図 2 0】 本発明の実施の形態 3 による半導体装置の製造方法を説明するための図である（その 3）。

【図 2 1】 本発明の実施の形態 3 による半導体装置の製造方法を説明するための図である（その 4）。

【図 2 2】 本発明の実施の形態 3 による半導体装置の製造方法を説明するための図である（その 5）。

【図 2 3】 本発明の実施の形態 3 による半導体装置の製造方法を説明するための図である（その 6）。

【図 2 4】 本発明の実施の形態 4 による半導体装置を説明するための断面図である。

【図 2 5】 本発明の実施の形態 4 による半導体装置において、下層配線、プラグ、空隙および上層配線の位置関係を示した上面図である。

【図 2 6】 本発明の実施の形態 4 による半導体装置の製造方法を説明するための図である（その 1）。

【図 2 7】 本発明の実施の形態 4 による半導体装置の製造方法を説明するための図である（その 2）。

【図 2 8】 本発明の実施の形態 4 による半導体装置の製造方法を説明するための図である（その 3）。

【図 2 9】 本発明の実施の形態 4 による半導体装置の製造方法を説明するための図である（その 4）。

【図 3 0】 本発明の実施の形態 4 による半導体装置の製造方法を説明するための図である（その 5）。

【図 3 1】 本発明の実施の形態 5 による半導体装置を説明するための断面図である。

【図 3 2】 本発明の実施の形態 5 による半導体装置において、第 1 配線、パッドおよび第 2 配線の位置関係を説明するための上面図である。

【図 3 3】 本発明の実施の形態 5 による半導体装置の製造方法を説明するための図である（その 1）。

【図 3 4】 本発明の実施の形態 5 による半導体装置の製造方法を説明するための図である（その 2）。

【図 3 5】 本発明の実施の形態 5 による半導体装置の製造方法を説明するための図である（その 3）。

【図 3 6】 本発明の実施の形態 5 による半導体装置の製造方法を説明するための図である（その 4）。

【図 3 7】 本発明の実施の形態 5 による半導体装置の製造方法を説明するための図である（その 5）。

【図 3 8】 本発明の実施の形態 5 による半導体装置の製造方法において、第 2 配線の別の形成方法を説明するための断面図である。

【図 3 9】 本発明の実施の形態 6 による半導体装置を説明するための断面

図である。

【図 4 0】 本発明の実施の形態 6 による半導体装置の製造方法を説明するための図である（その 1）。

【図 4 1】 本発明の実施の形態 6 による半導体装置の製造方法を説明するための図である（その 2）。

【図 4 2】 本発明の実施の形態 6 による半導体装置の製造方法を説明するための図である（その 3）。

【図 4 3】 本発明の実施の形態 6 による半導体装置の製造方法を説明するための図である（その 4）。

【図 4 4】 本発明の実施の形態 6 による半導体装置の製造方法を説明するための図である（その 5）。

【図 4 5】 本発明の実施の形態 6 による半導体装置の製造方法を説明するための図である（その 6）。

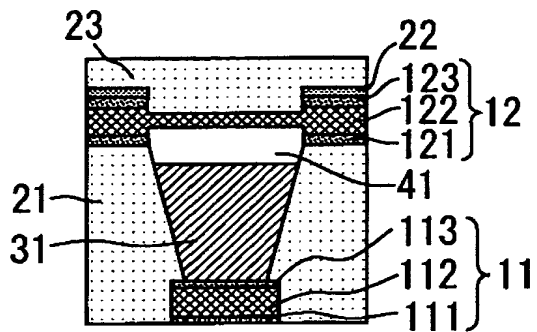
【図 4 6】 従来の半導体装置を説明するための断面図である。

【符号の説明】

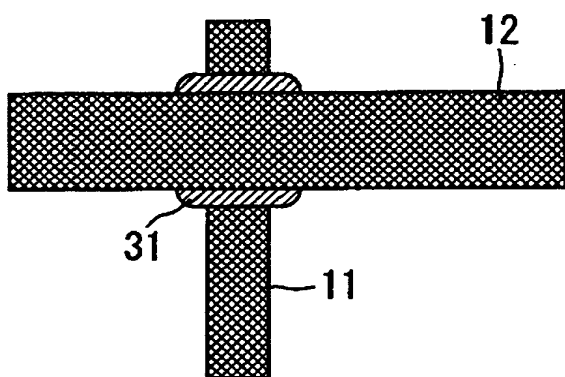
1 1 下層配線（第 1 配線）、 1 2 上層配線（第 2 配線）、 1 3 下層配線（第 1 配線）、 1 4 上層配線（第 2 配線）、 1 5 a 第 1 配線、 1 5 b 第 2 配線、 2 1, 2 2, 2 3, 2 4, 2 5, 2 6, 2 7, 2 8 絶縁膜、 2 5 a, 2 7 a 開口部、 3 1, 3 2 プラグ、 3 3 パッド、 4 1, 4 2, 4 3, 4 4, 4 5, 4 6 空隙、 1 1 1, 1 1 3, 1 2 1, 1 2 3, 1 3 1, 1 3 3, 1 4 1, 1 5 1 a, 1 5 3 a, 1 5 1 b, 1 5 3 b バリアメタル、 1 1 2, 1 2 2, 1 3 2, 1 4 2, 1 5 2 a, 1 5 2 b アルミニウム配線。

【書類名】 図面

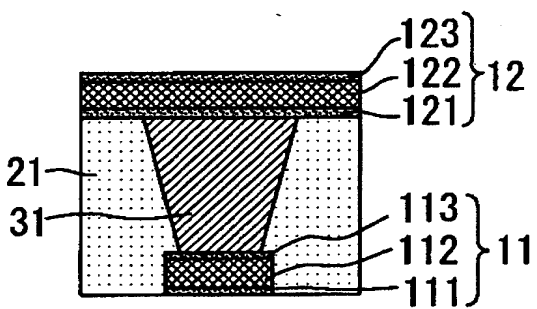
【図 1】



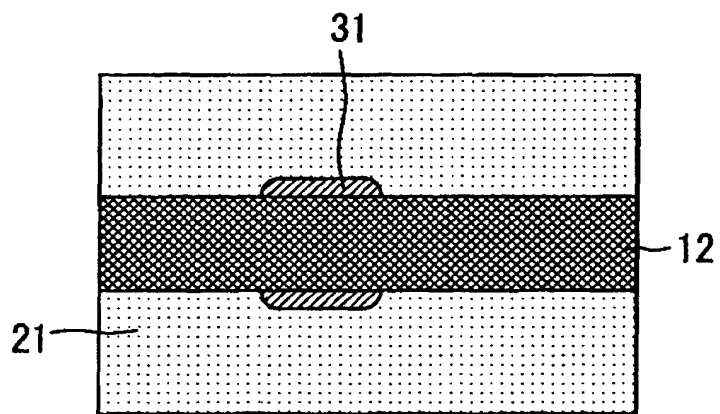
【図 2】



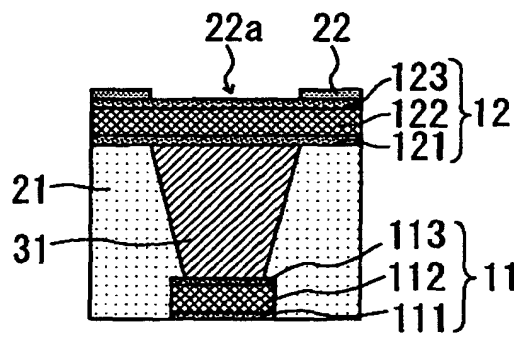
【図 3】



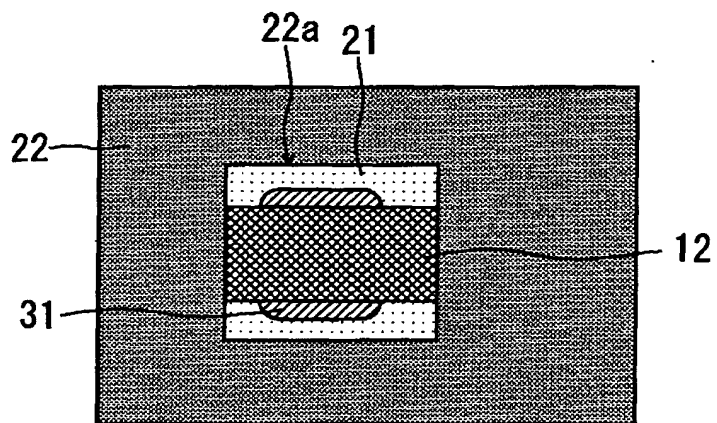
【図 4】



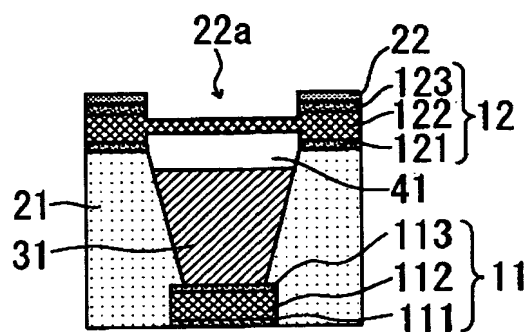
【図 5】



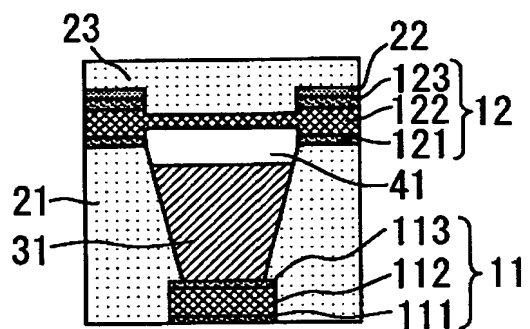
【図 6】



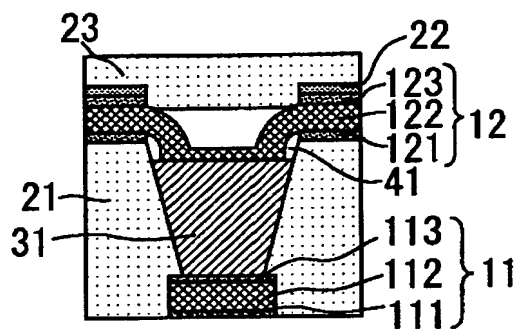
【図 7】



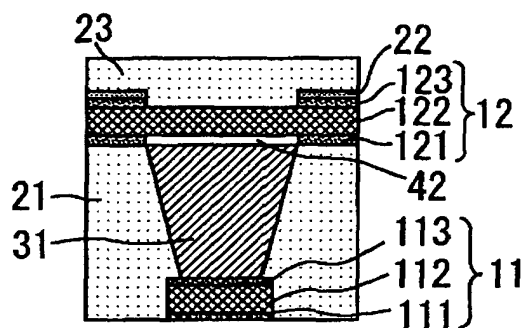
【図 8】



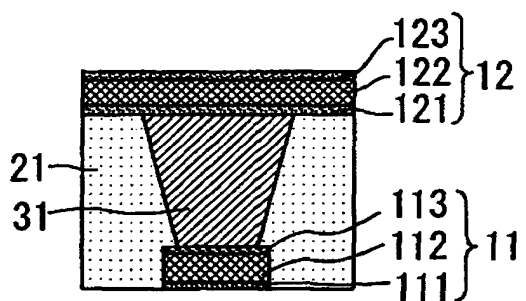
【図 9】



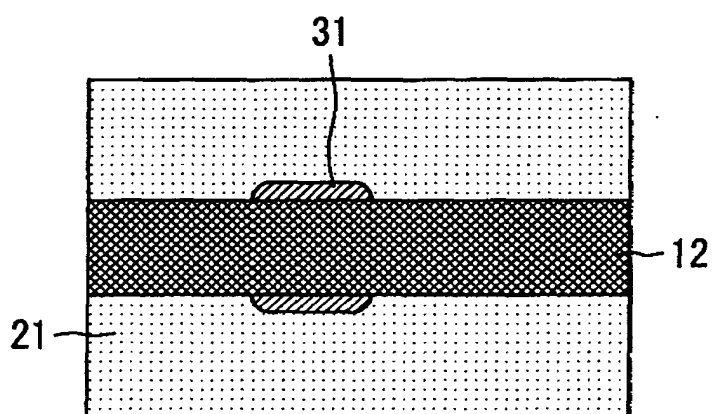
【図10】



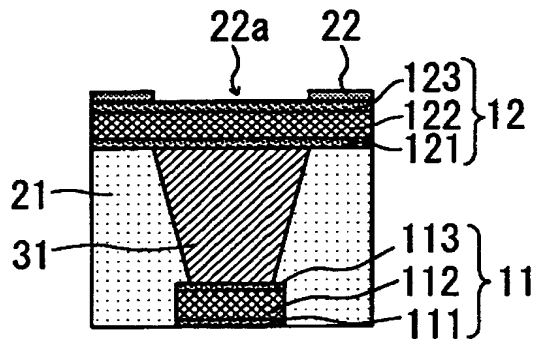
【図11】



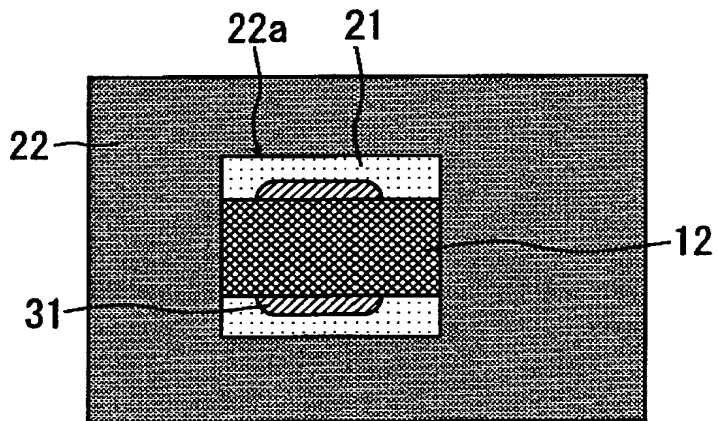
【図12】



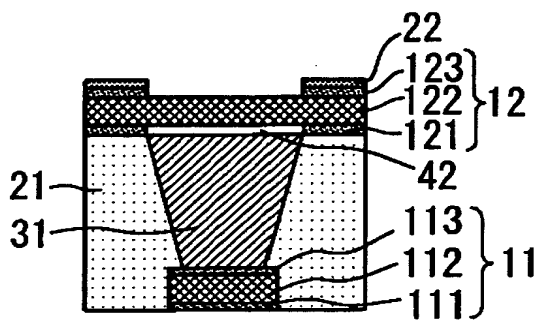
【図 1 3】



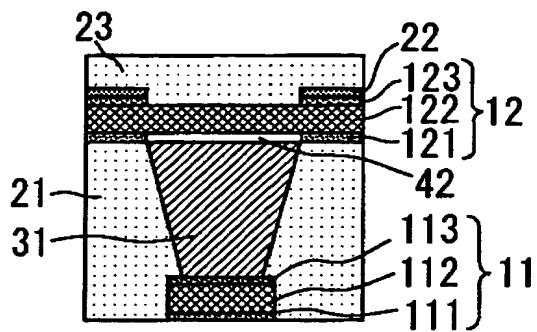
【図 1 4】



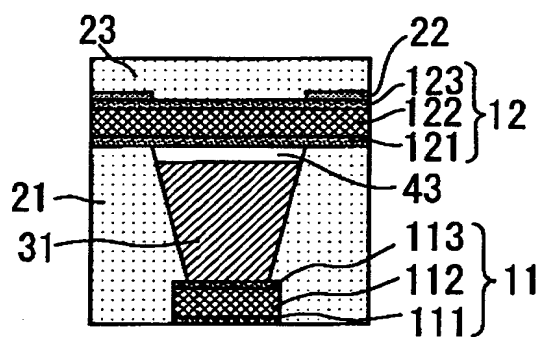
【図 1 5】



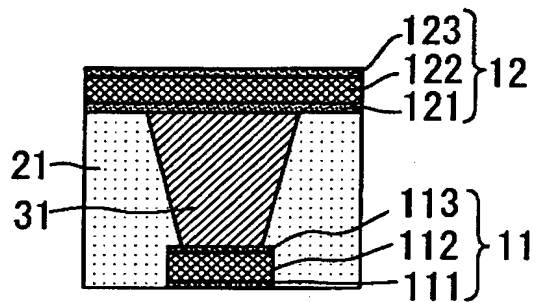
【図 1 6】



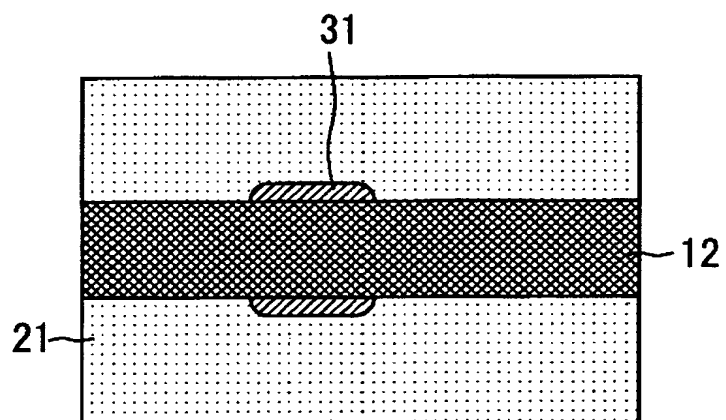
【図 1 7】



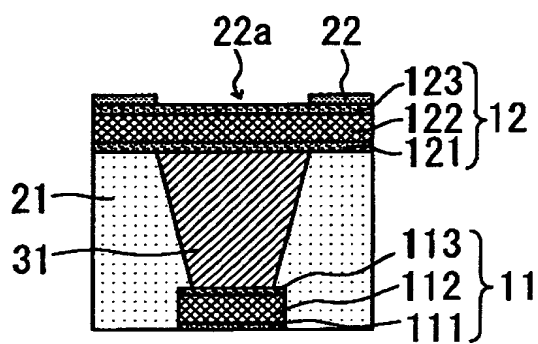
【図 1 8】



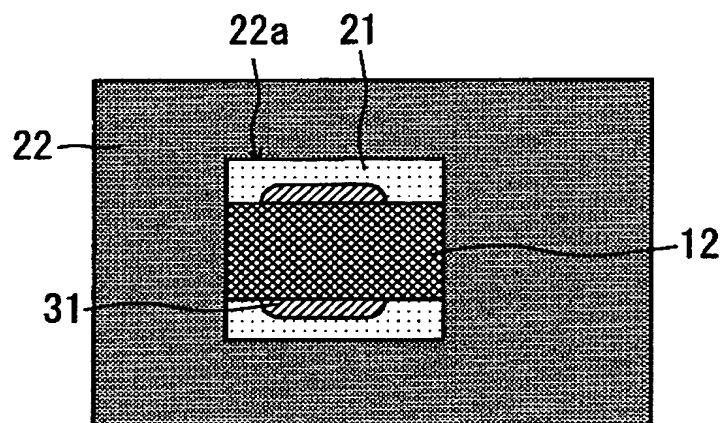
【図 1 9】



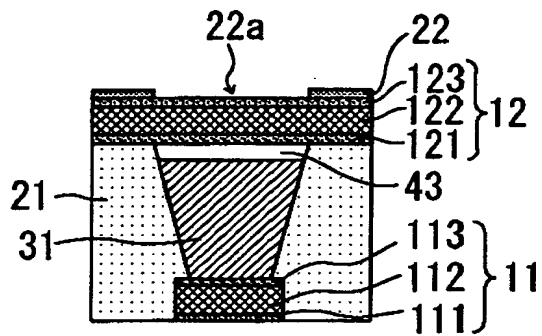
【図 2 0】



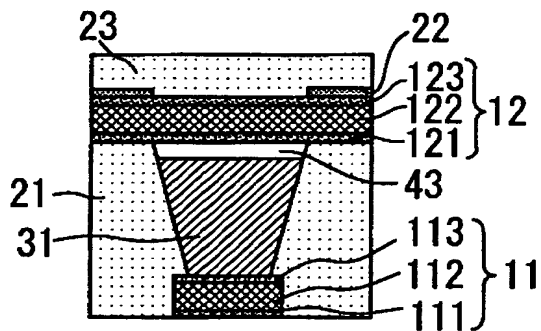
【図 2 1】



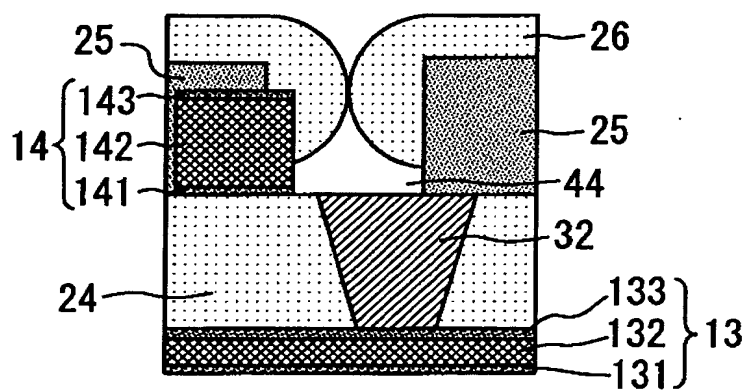
【図 2 2】



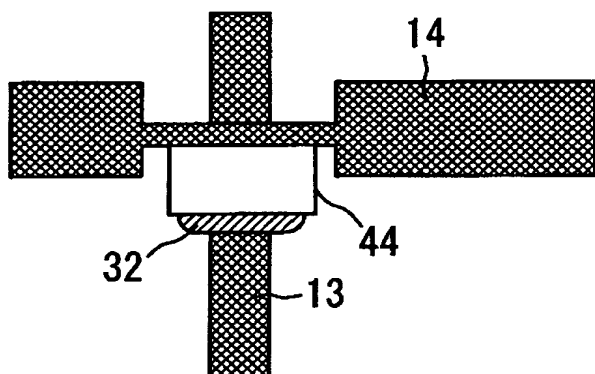
【図 2 3】



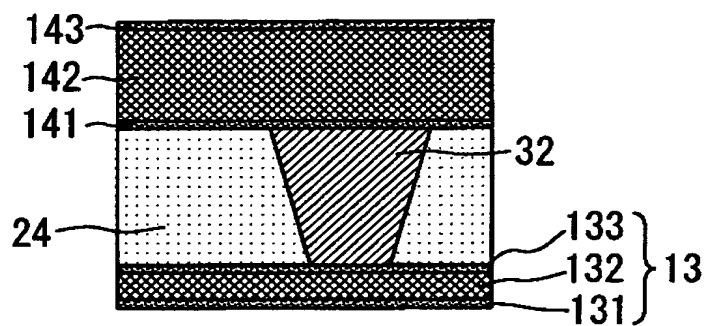
【図 2 4】



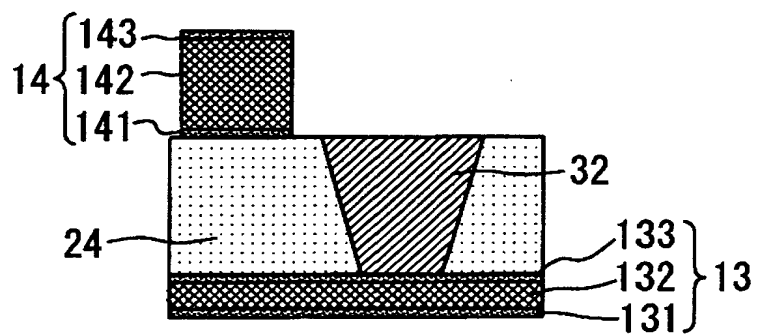
【図 2 5】



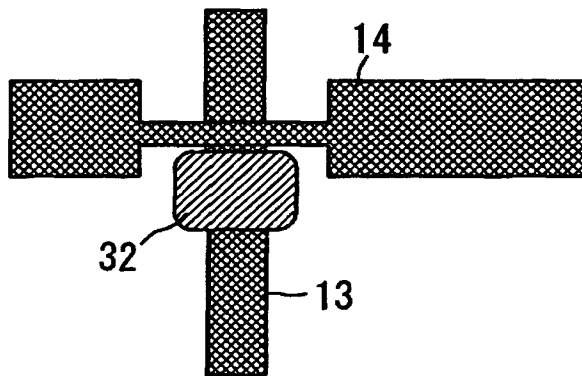
【図 2 6】



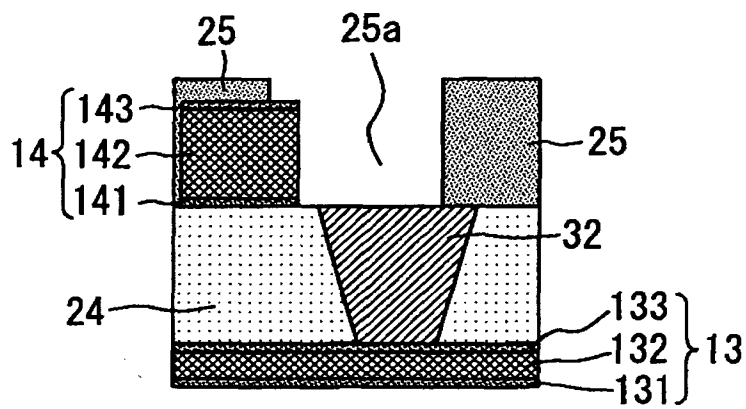
【図 2 7】



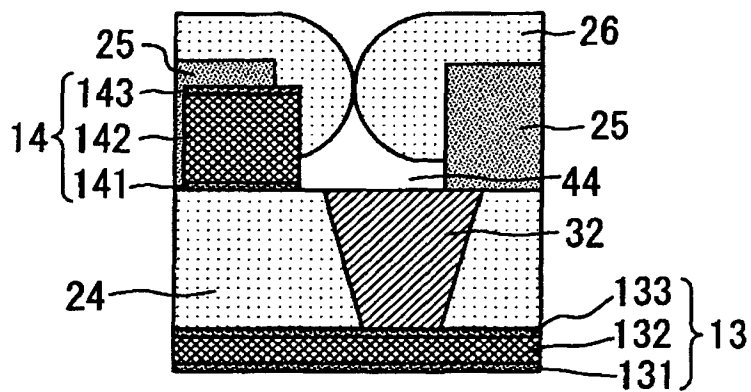
【図 2 8】



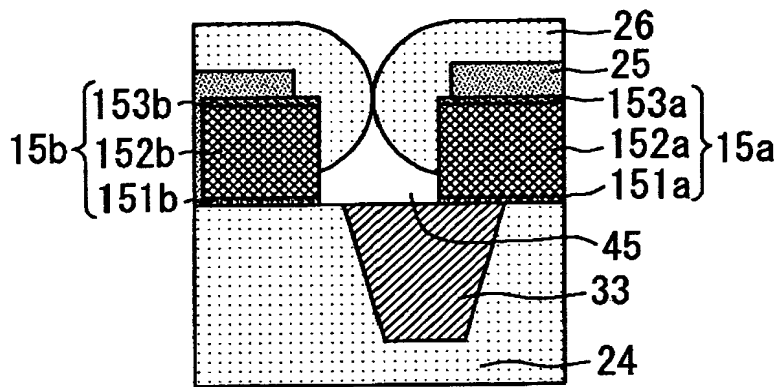
【図 2 9】



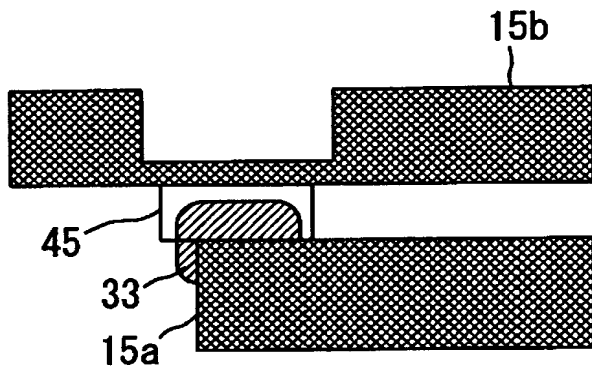
【図 3 0】



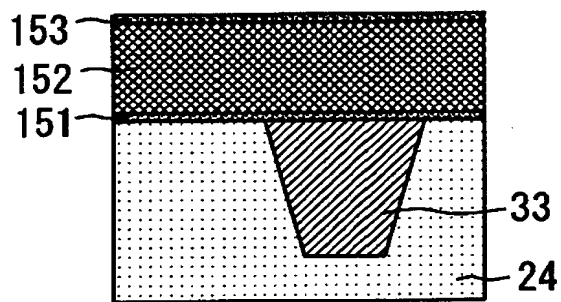
【図 3 1】



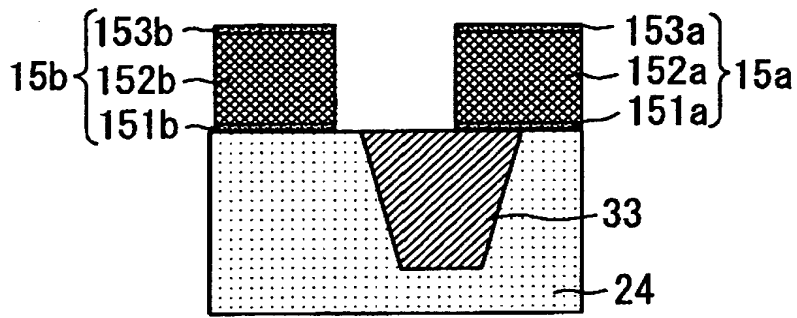
【図 3 2】



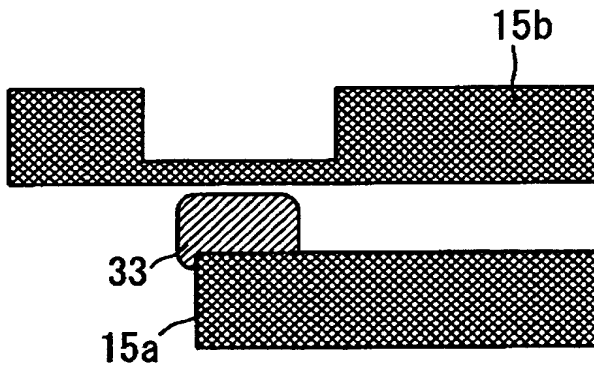
【図 3 3】



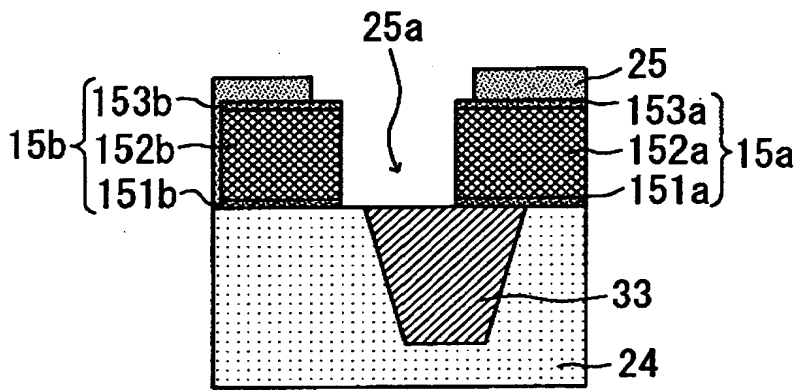
【図 3 4】



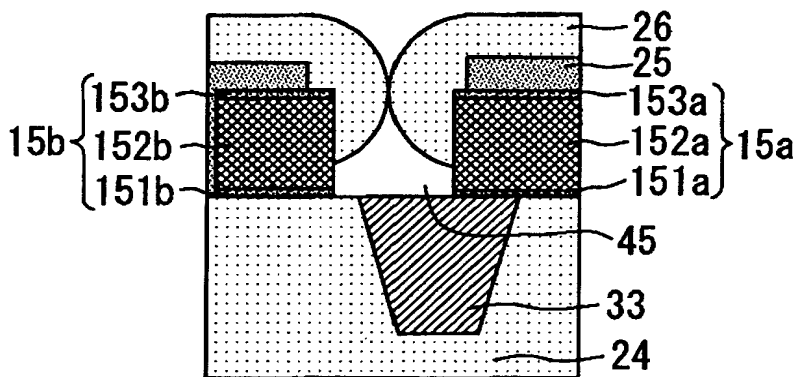
【図 3 5】



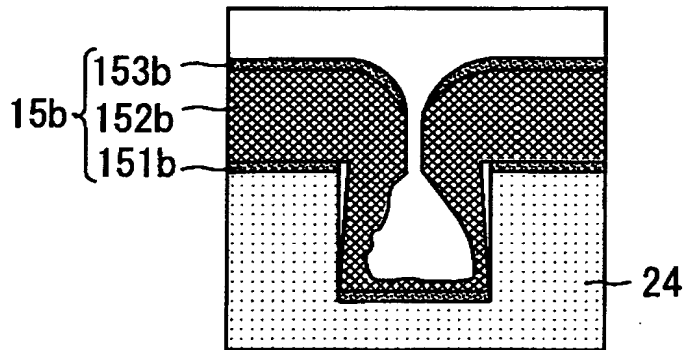
【図 3 6】



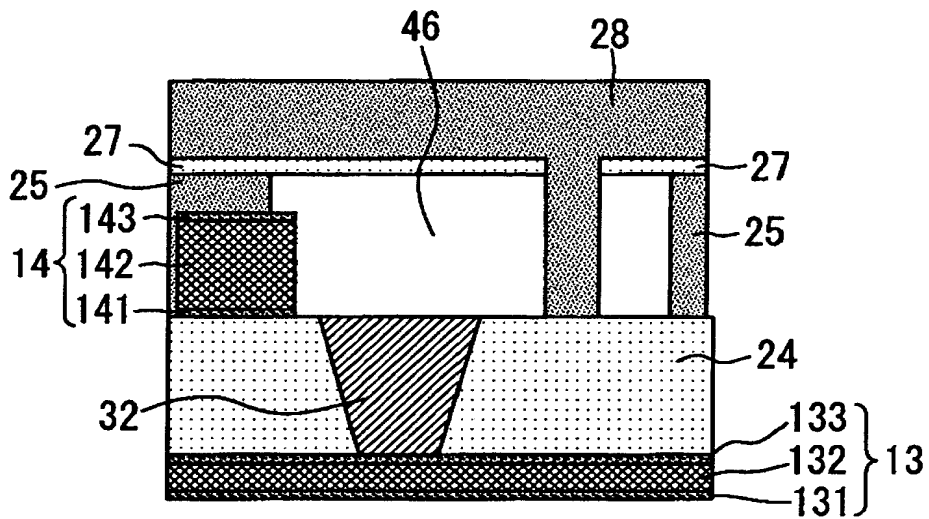
【図 37】



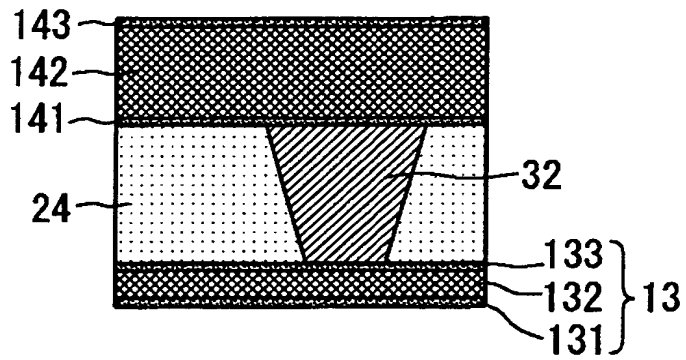
【図 38】



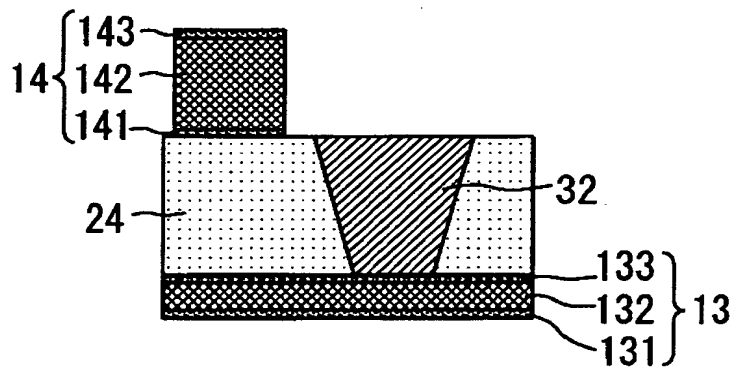
【図 39】



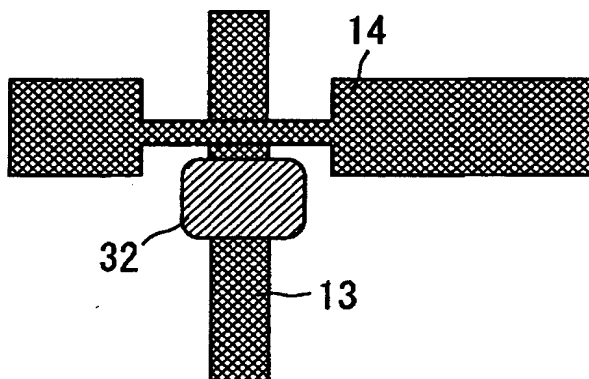
【図 4 0】



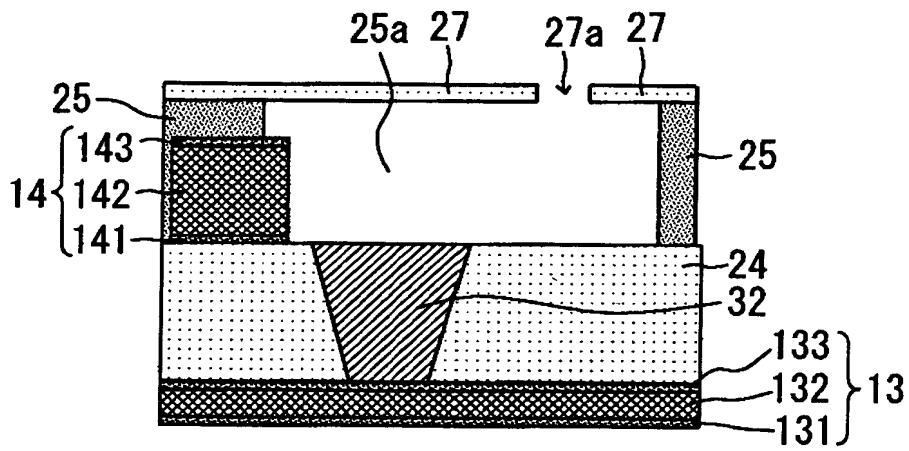
【図 4 1】



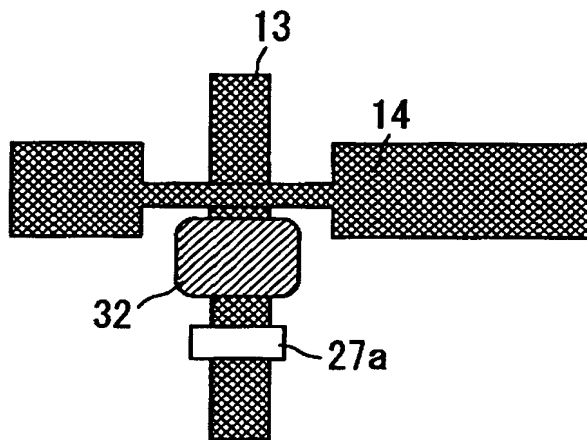
【図 4 2】



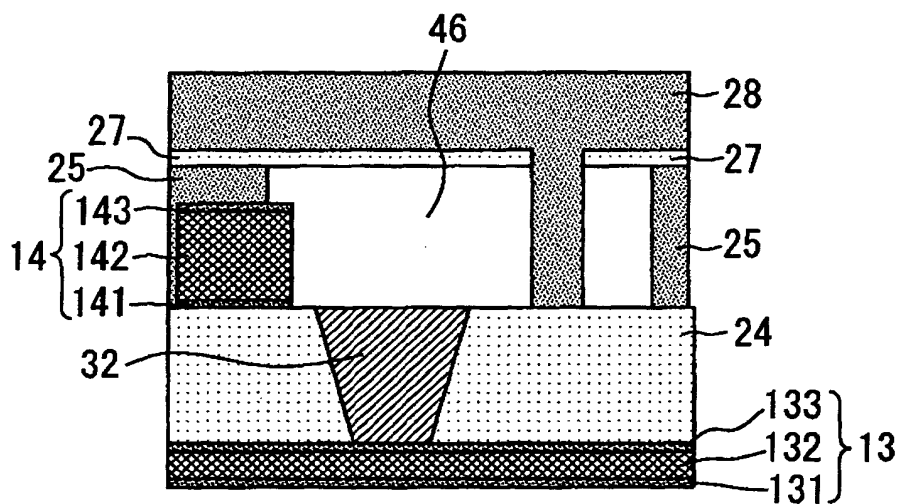
【図 4 3】



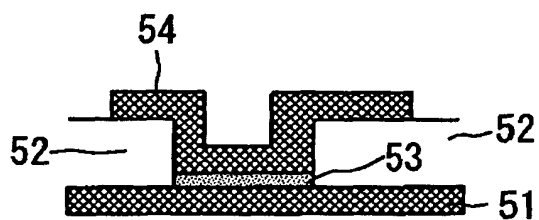
【図 4 4】



【図 4 5】



【図 4 6】



【書類名】 要約書

【要約】

【課題】 信頼性の高いアンチヒューズ回路を有する半導体装置を提供する。

【解決手段】 基板上に短絡回路又はスペア回路に接続された下層配線 1 1 が形成され、下層配線 1 1 を覆うように絶縁膜 2 1 が形成されている。絶縁膜 2 1 内には下層配線 1 1 の上面に達する開口部が形成され、この開口部内にプラグ 3 1 が形成されている。所定の空隙 4 1 を介してプラグ 3 1 上に上層配線 1 2 が形成されている。上層配線 1 2 は、負荷回路に接続されている。上層配線 1 2 と下層配線 1 1 をアンチヒューズ接続する際には、上層配線 1 2 のアルミニウム配線 1 2 2 でエレクトロマイグレーションを発生させて、上層配線 1 2 とプラグ 3 1 とを接続する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社